

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Shunpei Yamazaki et al. Art Unit : Unknown
Serial No. : Unassigned Examiner : Unknown
Filed : August 2, 2001
Title : PORTABLE INFORMATION APPARATUS AND METHOD OF DRIVING
THE SAME



Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicants hereby confirm their claim of priority under 35 USC §119 from the following application:

Japan Application No. 2000-253188 filed August 23, 2000

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: August 2, 2001



John F. Hayden
Reg. No. 37,640

Fish & Richardson P.C.
601 Thirteenth Street, NW
Washington, DC 20005
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年 8月23日

出 願 番 号
Application Number:

特願2000-253188

出 願 人
Applicant(s):

株式会社半導体エネルギー研究所



2001年 6月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3058290

【書類名】 特許願

【整理番号】 P005165

【提出日】 平成12年 8月23日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 携帯情報装置

【特許請求の範囲】

【請求項 1】

E L 表示装置とそのコントロール回路とを有する携帯情報装置において、
前記 E L 表示装置は画素中に記憶回路と D / A コンバータとを有し、
前記 E L 表示装置が静止画を表示するとき、前記 E L 表示装置と前記コントロール回路以外の映像表示機能を停止することを特徴とした携帯情報装置。

【請求項 2】

請求項 1 において、
前記コントロール回路は前記 E L 表示装置のクロック発生回路であることを特徴とした携帯情報装置。

【請求項 3】

E L 表示装置と C P U とを有する携帯情報装置において、
前記 E L 表示装置は画素中に記憶回路と D / A コンバータとを有し、
前記 E L 表示装置が静止画を表示するとき、前記 C P U の映像表示機能を停止することを特徴とした携帯情報装置。

【請求項 4】

E L 表示装置と V R A M とを有する携帯情報装置において、
前記 E L 表示装置は画素中に記憶回路と D / A コンバータとを有し、
前記 E L 表示装置が静止画表示を行うとき、前記 V R A M のデータの読み出し操作を停止することを特徴とした携帯情報装置。

【請求項 5】

E L 表示装置を有する携帯情報装置において、
前記 E L 表示装置は画素中に記憶回路と D / A コンバータとを有し、
前記 E L 表示装置が静止画表示を行うとき、前記 E L 表示装置のソース信号線駆動回路を停止することを特徴とした携帯情報装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記記憶回路は 1 フレームに 1 度読み出し操作が行われることを特徴とした携帯情報装置。

【請求項 7】

E L 表示装置を有する携帯情報装置において、

前記 E L 表示装置はマトリクス状に配置された複数の画素を有し、

前記複数の画素はそれぞれ、記憶回路と D / A コンバータとを有し、

前記 E L 表示装置は、前記複数の画素のうち、特定の行の画素または特定の列の画素が有する前記記憶回路のデータを書き換える手段を有することを特徴とした携帯情報装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、

前記記憶回路及び前記 D / A コンバータは、前記 E L 表示装置が有するソース信号線の下に配置されていることを特徴とした表示装置。

【請求項 9】

請求項 1 乃至請求項 7 のいずれか一項において、

前記記憶回路及び前記 D / A コンバータは、前記 E L 表示装置が有するゲート信号線の下に配置されていることを特徴とした表示装置。

【請求項 1 0】

請求項 1 乃至請求項 9 のいずれか一項において、

前記携帯情報装置は、携帯電話であることを特徴とした携帯情報装置。

【請求項 1 1】

請求項 1 乃至請求項 9 のいずれか一項において、

前記携帯情報装置は、パーソナルコンピュータであることを特徴とした携帯情報装置。

【請求項 1 2】

請求項 1 乃至請求項 9 のいずれか一項において、

携帯情報装置は、ナビゲーションシステムであることを特徴とした携帯情報装置

。

【請求項 1 3】

請求項 1 乃至請求項 9 のいずれか一項において、
携帯情報装置は、PDAであることを特徴とした携帯情報装置。

【請求項 1 4】

請求項 1 乃至請求項 9 のいずれか一項において、
携帯情報装置は、電子書籍であることを特徴とした携帯情報装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、携帯情報装置に関する。特に、有機ELなどを用いた表示装置を用いた、携帯電話、PDA、携帯パーソナルコンピュータ、携帯ナビゲーションシステム、電子書籍などの携帯情報装置に関する。

【0002】

【従来の技術】

近年、通信技術の発展によって、携帯電話が普及している。今後はさらに動画の電送や、より多量の情報伝達が予想される。一方パーソナルコンピュータもその軽量化によって、モバイル対応の製品が生産されている。電子手帳にはじまったパーソナルデジタルアシスタント（PDA）と呼ばれる情報機器も多数生産され、普及しつつある。また、EL表示装置などの発展により、それらの携帯情報機器にはほとんどのものにフラットディスプレイが装備されている。

【0003】

さらに最近の技術では、それらに使用されるEL表示装置としてアクティブマトリクス型表示装置を使用する方向に向かっている。

【0004】

アクティブマトリクス型表示装置は、画素1つずつに対して、TFT（薄膜トランジスタ）を1つずつ配置し、そのTFTによって、画面を制御している。この様なアクティブマトリクス型表示装置はパッシブマトリクス型表示装置と比較して、高精細化が可能である、画質の向上が可能である、動画対応が可能であるなどの長所を持っている。それ故に今後は携帯情報機器のEL表示装置はパッシブマトリクス型からアクティブマトリクス型に変化していくと思われる。

【0005】

また、アクティブマトリクス型表示装置のなかでも、近年、低温ポリシリコンを用いた、表示装置の製品化が行われている。低温ポリシリコン技術では画素を構成する画素TFTの他に、画素部の周辺部に、TFTを用いて駆動回路を同時形成することができ、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル機器の表示部等に、EL表示装置は不可欠なデバイスとなってきている。

【0006】

図15に、EL表示装置を組み込んだ、従来の携帯情報端末のブロック図を示す。

【0007】

携帯情報端末ではユーザーが必要に応じて、求める情報を引き出すことが要求される。その情報は、まず、その携帯情報端末内の記憶装置（DRAM1509、フラッシュメモリ1510など）に記憶されているもの、または携帯情報端末に差し込まれるメモリーカード1503に記憶されているもの、外部インターフェイスポート1505を介して外部機器と接続して情報を得る物などがある。これらの情報はペン入力タブレット1501より入力されるユーザーの指示に基づいて、CPU1506により処理され、EL表示装置1513は表示を行う。

【0008】

具体的には、ペン入力タブレット1501より入力された信号は、検出回路1502により検出され、タブレットインターフェイス1518に入力される。この入力信号は、タブレットインターフェイス1518により処理され、映像信号入力回路1507等に入力される。必要なデータをCPU1506が処理し、それをVRAM1511に格納してある画像フォーマットに基づき、画像データに変換し、ELコントローラ1512に送る。ここでELコントローラ1512はEL表示装置1513を駆動する信号を生成し、表示装置を駆動し、表示を行う。

【0009】

図16にEL表示装置を組み込んだ、従来の携帯電話のブロック図を示す。携

帯電話は電波を送受信する送受信回路1615と、受信した信号を音声処理する音声処理回路1602、スピーカ1614、マイク1608、またデータを入力するキーボード1601、キーボード1601より入力された信号を処理する、キーボードインターフェイス1618などを有している。

【0010】

キーボードより入力されるユーザーの指示に基づいて、記憶装置(DRAM1609、フラッシュメモリ1610など)に記憶されているもの、または携帯情報端末に差し込まれるメモリーカード1603に記憶されているもの、外部インターフェイスポート1605を介して外部機器と接続して得る情報等がCPU1606により処理され、EL表示装置1613は表示を行う。

【0011】

具体的には、キーボード1601より入力された信号は、キーボードインターフェイス1618により処理され、映像信号処理回路1607等に入力される。必要なデータをCPU1606が処理し、それをVRAM1611に格納してある画像フォーマットに基づき、画像データに変換し、ELコントローラ1612に送付する。ここでELコントローラ1612はEL表示装置1613を駆動する信号を生成し、表示装置を駆動し、表示を行う。

【0012】

なお、送受信回路1615の構造の例として、図26を示す。

【0013】

送受信回路1615は、アンテナ2602、フィルタ2603、2607、2608、2612、2616、スイッチ2604、アンプ2605、2606、2617、第1周波数変換回路2609、第2周波数変換回路2613、周波数変換回路2611、発振回路2610、2614、直交変換器2615、データ復調回路2618、2619を含む。

【0014】

ここで、上記の携帯情報端末や携帯電話に組み込まれた表示装置として、従来のデジタル方式のEL表示装置について説明する。その概略図を、図13に示す。中央に画素部1308が配置されている。画素部の上側には、ソース信号線を

制御するための、ソース信号線駆動回路1301が配置されている。ソース信号線駆動回路1301は、第1のラッチ回路1304、第2のラッチ回路1305、D/Aコンバータ(D/A変換回路)1306、アナログスイッチ1307等を有する。画素部の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路1302が配置されている。なお、図13においては、ゲート信号線駆動回路1302は、画素部の左右両側に配置されているが、片側配置でも構わない。ただし、両側配置とした方が、駆動効率、駆動信頼性の面から見て望ましい。

【0015】

ソース信号線駆動回路1301に関しては、図14に示すような構成を有している。図14に例として示す駆動回路は、水平方向解像度1024画素、3ビットデジタル階調の表示に対応したソース信号線駆動回路であり、シフトレジスタ回路(SR)1401、第1のラッチ回路(LAT1)1402、第2のラッチ回路(LAT2)1403、D/Aコンバータ(D/A)1404等を有する。なお、図14では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。

【0016】

図1.3および図1.4を用いて動作について簡単に説明する。まず、シフトレジスタ回路1303(図1.4中、SRと表記)にクロック信号(S-CLK、S-CLKb)およびスタートパルス(S-SP)が入力され、順次パルスが出力される。続いて、それらのパルスは第1のラッチ回路1304(図1.4中、LAT1と表記)に入力され、同じく第1のラッチ回路1304に入力されたデジタル映像信号(Digital Data)をそれぞれ保持していく。ここで、D1が最上位ビット(MSB: Most Significant Bit)、D3が最下位ビット(LSB: Least Significant Bit)である。第1のラッチ回路1304において、1水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第1のラッチ回路1304で保持されているデジタル映像信号は、ラッチ信号(Latch Pulse)の入力に従い、一斉に第2のラッチ回路1305(図1.4中、LAT2と表記)へと転送される。

【0017】

その後、再びシフトレジスタ回路 1 3 0 3 が動作し、次の水平周期分のデジタル映像信号の保持が開始される。同時に、第 2 のラッチ回路 1 3 0 5 で保持されているデジタル映像信号は、D/A コンバータ 1 3 0 6（図 1 4 中、D/A と表記）にてアナログ映像信号へと変換される。このアナログ化されたデジタル映像信号は、ソース信号線を経由して画素に入力される。この動作を繰り返すことによって、画像の表示が行われる。

【 0 0 1 8 】

続いて、画素部 1 3 0 8 の駆動について説明する。図 2 9 に、図 1 3 の画素部 1 3 0 8 の一部を示す。図 2 9（A）は、3×3 画素のマトリクスを示している。点線枠 1 9 0 0 にて囲まれた部分が 1 画素であり、図 2 9（B）にその拡大図を示す。図 2 9（B）において、1 9 0 1 は、画素に信号を書き込む時のスイッチング素子として機能する T F T（以下、スイッチング用 T F T という）である。このスイッチング用 T F T 1 9 0 1 には N チャネル型もしくは P チャネル型のいずれの極性を用いても良い。1 9 0 2 は E L 素子 1 9 0 3 に供給する電流を制御するための素子（電流制御素子）として機能する T F T（以下、E L 駆動用 T F T という）である。E L 駆動用 T F T 1 9 0 2 に P チャネル型を用いる場合には、E L 素子 1 9 0 3 の陽極 1 9 0 9 と電流供給線 1 9 0 7 との間に配置する。別の構成方法として、E L 駆動用 T F T 1 9 0 2 に N チャネル型を用いて、E L 素子 1 9 0 3 の陰極 1 9 1 0 と陰極電極 1 9 0 8 との間に配置したりすることも可能である。しかし、T F T の動作としてソース接地が良いこと、E L 素子 1 9 0 3 の製造上の制約などから、E L 駆動用 T F T 1 9 0 2 には P チャネル型を用い、図 2 9（B）に図示したように、E L 素子 1 9 0 3 の陽極 1 9 0 9 と電流供給線 1 9 0 7 との間に E L 駆動用 T F T 1 9 0 2 を配置する方式が一般的であり、多く採用されている。1 9 0 4 は、ソース信号線 1 9 0 6 から入力される信号（電圧）を保持するための保持容量である。図 2 9（B）での保持容量 1 9 0 4 の一方の端子は、電流供給線 1 9 0 7 に接続されているが、専用の配線を用いることもある。スイッチング用 T F T 1 9 0 1 のゲート電極は、ゲート信号線 1 9 0 5 に、ソース領域は、ソース信号線 1 9 0 6 に接続されている。

【 0 0 1 9 】

次に、同図 29 を参照して、アクティブマトリクス型 EL 表示装置の回路の動作について説明する。まず、ゲート信号線 1905 が選択されると、スイッチング用 TFT 1901 のゲート電極に電圧が印加され、スイッチング用 TFT 1901 が導通状態になる。すると、ソース信号線 1906 の信号（電圧）が保持容量 1904 に蓄積される。保持容量 1904 の電圧は、EL 駆動用 TFT 1902 のゲート・ソース間電圧 V_{GS} となるため、保持容量 1904 の電圧に応じた電流が EL 駆動用 TFT 1902 と EL 素子 1903 に流れる。その結果、EL 素子 1903 が点灯する。

【0020】

EL 素子 1903 の輝度、つまり EL 素子 1903 を流れる電流量は、EL 駆動用 TFT 1902 の V_{GS} によって制御出来る。 V_{GS} は、保持容量 1904 の電圧であり、それはソース信号線 1906 に入力される信号（電圧）である。つまり、ソース信号線 1906 に入力される信号（電圧）を制御することによって、EL 素子 1903 の輝度を制御する。最後に、ゲート信号線 1905 を非選択状態にして、スイッチング用 TFT 1901 のゲートを閉じ、スイッチング用 TFT 1901 を非導通状態にする。その時、保持容量 1904 に蓄積された電荷は保持される。よって、EL 駆動用 TFT 1902 の V_{GS} は、そのまま保持され、 V_{GS} に応じた電流が、EL 駆動用 TFT 1902 を経由して EL 素子 1903 に流れ続ける。

【0021】

EL 素子の駆動等に関しては、SID99 Digest : P372 : “Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT”、ASIA DISPLAY98 : P217 : “High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver”、Euro Display99 Late News : P27 : “3.8 Green OLED with Low Temperature Poly-Si TFT” などに報告されている。

【0022】

【発明が解決しようとする課題】

以上に述べたような従来の携帯情報装置では、組み込まれた表示装置が画像を

表示する場合、たとえその画像が静止画像であっても、同一の映像のデータを1秒間に60回づつ、表示装置に送り続けていた。即ち、図15中、破線で囲った部分（CPU1506にある映像信号処理回路1507、VRAM1511、ELコントローラ1512、およびEL表示装置1513のソース信号線駆動回路及びゲート信号線駆動回路、ペン入力ダブレット1501、検出回路1502、ダブレットインターフェイス1518）は画像の表示を行っている限り、動作を続けていた。また、図16中、破線で囲った部分（CPU1606にある映像信号処理回路1607、VRAM1611、ELコントローラ1612、およびEL表示装置1613のソース信号線駆動回路及びゲート信号線駆動回路、キーボード1601、キーボードインターフェイス1618）は画像の表示を行っている限り、動作を続けていた。

【0023】

ここで、画素数の少ないパッシブマトリクス型表示装置においては、記憶回路を表示装置のドライバICもしくはコントローラの中に内蔵し、VRAMを停止するものも存在するが、アクティブマトリクス型表示装置のような多数の画素を用いる表示装置では、ドライバ内もしくはコントローラ内に記憶回路を有するのはチップサイズの観点から、非現実的である。よって、従来の携帯情報装置では、静止画を表示する場合においても、多くの回路は動作を続けねばならず、消費電力の低減に対して、妨げと成っていた。

【0024】

また、モバイル機器においては、低消費電力化が大きく望まれている。さらに、このモバイル機器においては、静止画モードで利用されることが大部分を占めているにもかかわらず、前述のように駆動回路は静止画表示の際にも動作し続けているため、低消費電力化への足かせとなっている。

【0025】

そこで本発明は、携帯情報端末や携帯電話等の低消費電力化が望まれる機器において、静止画の表示時における駆動回路の消費電力を低減することを課題とする。

【0026】

【課題を解決するための手段】

前述の課題を解決するために、本発明では次のような手段を用いた。

【0027】

携帯情報装置に組み込まれた表示装置の画素内に複数の記憶回路を配置し、画素毎にデジタル映像信号を記憶させる。静止画の場合、一度書き込みを行えば、それ以降、画素に書き込まれる情報は同様であるので、フレーム毎に信号の入力を行わなくとも、記憶回路に記憶されている信号を読み出すことによって静止画を継続的に表示することができる。

【0028】

すなわち、静止画を表示する際は、最低1フレーム分の信号の処理動作を行って以降は、ソース信号線駆動回路や画像信号処理回路等を停止させておくことが可能となり、それに伴って電力消費を大きく低減することが可能となる。

【0029】

以下に、本発明の携帯情報装置の構成について記載する。

【0030】

本発明によって、

E L表示装置とそのコントロール回路とを有する携帯情報装置において、

前記E L表示装置は画素中に記憶回路とD/Aコンバータとを有し、

前記E L表示装置が静止画を表示するとき、前記E L表示装置と前記コントロール回路以外の映像表示機能を停止することを特徴とした携帯情報装置が提供される。

【0031】

前記コントロール回路は前記E L表示装置のクロック発生回路であることを特徴とした携帯情報装置であってもよい。

【0032】

本発明によって、

E L表示装置とCPUとを有する携帯情報装置において、

前記E L表示装置は画素中に記憶回路とD/Aコンバータとを有し、

前記E L表示装置が静止画を表示するとき、前記CPUの映像表示機能を停止

することを特徴とした携帯情報装置が提供される。

【 0 0 3 3 】

本発明によって、

E L 表示装置と V R A M を有する携帯情報装置において、

前記 E L 表示装置は画素中に記憶回路と D / A コンバータとを有し、

前記 E L 表示装置が静止画表示を行うとき、前記 V R A M のデータの読み出し操作を停止することを特徴とした携帯情報装置が提供される。

【 0 0 3 4 】

本発明によって、

E L 表示装置を有する携帯情報装置において、

前記 E L 表示装置は画素中に記憶回路と D / A コンバータとを有し、

前記 E L 表示装置が静止画表示を行うとき、前記 E L 表示装置のソース信号線駆動回路を停止することを特徴とした携帯情報装置が提供される。

【 0 0 3 5 】

前記記憶回路は 1 フレームに 1 度読み出し操作が行われることを特徴とした携帯情報装置であってもよい。

【 0 0 3 6 】

本発明によって、

E L 表示装置を有する携帯情報装置において、

前記表示装置はマトリクス状に配置された複数の画素を有し、

前記複数の画素はそれぞれ、記憶回路と D / A コンバータとを有し、

前記 E L 表示装置は、前記複数の画素のうち、特定の行の画素または特定の列の画素が有する前記記憶回路のデータを書き換える手段を有することを特徴とした携帯情報装置が提供される。

【 0 0 3 7 】

前記記憶回路及び前記 D / A コンバータは、前記 E L 表示装置が有するソース信号線の下に配置されていることを特徴としてもよい。

【 0 0 3 8 】

前記記憶回路及び前記 D / A コンバータは、前記 E L 表示装置が有するゲート

信号線の下に配置されていることを特徴としてもよい。

【0039】

前記携帯情報装置は、携帯電話、パーソナルコンピュータ、ナビゲーションシステム、PDAまたは電子書籍であってもよい。

【0040】

【発明の実施の形態】

まず、本発明の携帯情報装置が有する表示装置について説明する。

【0041】

図1は本発明の構成を示したものである。本発明では、静止画を表示する場合、表示装置2413の画素の内部にある、記憶回路に映像信号を記憶させ、記憶した映像信号を呼び出すことによって、表示をおこなう。よって、従来、動作させていたCPU2406の内部回路のうち、映像信号処理回路2407、VRAM2411、表示装置2413の中のソース信号線駆動回路を停止することが可能となる。

【0042】

以下その内容について、具体的に説明をおこなう。ペン入力タブレット2401からの入力が入力が一定時間の間行われな、もしくは外部インターフェイスポート2405から、映像表示を変えなければならないような信号入力が一定時間されない場合、CPU2406は静止画モードであると判断をおこなう。CPU2406がそのような判断を行った場合、CPU2406は以下のような動作をおこなう。ELコントローラ2412を介して、表示装置2413のソース信号線駆動回路を停止させる。具体的には、ソース信号線駆動回路にスタートパルス、クロック信号、映像データ信号の供給を停止することによって、ソース信号線駆動回路の動作を停止させることができる。このときゲート信号線駆動回路は停止せず、信号の供給を受け、記憶回路のデータをEL駆動用TFTに送る動作をおこなう。

【0043】

ゲート信号線駆動回路はソース信号線駆動回路に比べて、一般的には、1/100以下の周波数で駆動されるため、動作を停止しなくとも、消費電力上は問題

にならない。もちろん、ゲート信号線駆動回路を停止してもよい。このような動作によって、表示装置 2 4 1 3 はゲート信号線駆動回路のみ、または、ソース信号線駆動回路とゲート信号線駆動回路の両方の信号線駆動回路を停止させて、表示をおこなう。

【 0 0 4 4 】

次に、CPU 2 4 0 6 は、CPU 2 4 0 6 内部の映像信号処理回路 2 4 0 7 および、VRAM 2 4 1 1 を停止する。前述したように、表示装置 2 4 1 3 は、その内部の記憶回路に蓄えられた映像データで表示を行っているので、新たに映像データを表示装置に送り込む必要性がない、よって、映像データを発生、加工する映像信号処理回路 2 4 0 7、VRAM 2 4 1 1 などは動作していなくともかまわない。以上により、CPU 2 4 0 6 内部の電力削減、VRAM 2 4 1 1 の電力削減、ソース信号線駆動回路の電力削減が達成されるのである。

【 0 0 4 5 】

また、ペン入力タブレット 2 4 0 1 に入力が入力され、映像信号が入力された場合は、ペン入力タブレットの検出回路 2 4 0 2 からダブレットインターフェイス 2 4 1 8 を介して、CPU 2 4 0 6 に対して、表示内容を変えるような指示がだされ、CPU 2 4 0 6 は停止していた VRAM 2 4 1 1、映像信号処理回路 2 4 0 7 を動作させる。そして、EL コントローラ 2 4 1 2 を介して、表示装置 2 4 1 3 のソース信号線駆動回路にスタートパルス、クロック信号、映像データを供給し、新たな映像信号を画素に書き込むことができる。

【 0 0 4 6 】

この様に、図 1 中、破線で囲った部分（ゲート信号線駆動回路、EL コントローラ 2 4 1 2、ペン入力タブレット 2 4 0 1、検出回路 2 4 0 2、ダブレットインターフェイス 2 4 1 8）が動作していれば、この携帯情報端末は静止画を表示し続けることができる。

【 0 0 4 7 】

図 2 は本発明を使用した携帯電話の例である。動作概要は図 1 の携帯情報端末とおおよそ同じである。携帯情報端末と異なるのは、携帯電話では、入力、キーボード 2 5 0 1 によって行われキーボードインターフェイス 2 5 1 8 を介して

CPU2506で制御されることと、外部からのデータは、電話会社の通信系を介して、アンテナに入力され、送受信回路2515で増幅されたのち、CPU2506で制御されることである。

【0048】

静止画を表示する場合は、携帯情報端末と同様に、映像信号処理回路2507、VRAM2511、ソース信号線駆動回路などは停止させることができる。

【0049】

この様に、図2中、破線で囲った部分（ゲート信号線駆動回路、ELコントローラ2512、キーボード2501、キーボードインターフェイス2518）が動作していれば、この携帯電話は静止画を表示し続けることができる。

【0050】

次に、本発明の携帯情報装置が有する表示装置について説明する。

【0051】

図25は、記憶回路を有する画素を用いた表示装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3ビットデジタル階調信号に対応したものであり、シフトレジスタ回路201、第1のラッチ回路202、第2のラッチ回路203、ビット信号選択スイッチ204、画素205を有する。210は、ゲート信号線駆動回路あるいは外部から直接供給される信号であり、画素の説明とともに後述する。

【0052】

図24は、図25における画素205における回路構成を詳細に示したものである。この画素は、3ビットデジタル階調に対応したものであり、EL素子（114）、保持容量（Cs）、記憶回路（105～107）及びD/Aコンバータ（D/A：111）、EL駆動用TFT（115）、電源供給線（112）等を有している。101はソース信号線、102～104は書き込み用ゲート信号線、108～110は書き込み用TFTである。

【0053】

図3は、図24に示した表示装置におけるタイミングチャートである。表示装置は3ビットデジタル階調、VGAのものを対象としている。図3、図24及び

図 2 5 を用いて、駆動方法について説明する。なお、各番号は、図 3、図 2 4 及び図 2 5 のものをそのまま用いる（図番は省略する）。

【 0 0 5 4 】

図 2 5 および図 3 (A) (B) を参照する。図 3 (A) において、各フレーム期間を α 、 β 、 γ と表記して説明する。まず、区間 α における回路動作について説明する。

【 0 0 5 5 】

従来のデジタル方式の駆動回路の場合と同様に、シフトレジスタ回路 2 0 1 にクロック信号 (S - C L K、S - C L K b) およびスタートパルス (S - S P) が入力され、順次サンプリングパルスが出力される。続いて、サンプリングパルスは第 1 のラッチ回路 2 0 2 (L A T 1) に入力され、同じく第 1 のラッチ回路 2 0 2 に入力されたデジタル映像信号 (D i g i t a l D a t a) をそれぞれ保持していく。この期間を、本明細書においてはドットデータサンプリング期間と表記する。1 水平期間分のドットデータサンプリング期間は、図 3 (A) において 1 ~ 4 8 0 で示す各期間である。デジタル映像信号は 3 ビットであり、D 1 が M S B (Most Significant Bit)、D 3 が L S B (Least Significant Bit) である。第 1 のラッチ回路 2 0 2 において、1 水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第 1 のラッチ回路 2 0 2 で保持されているデジタル映像信号は、ラッチ信号 (L a t c h P u l s e) の入力に従い、一斉に第 2 のラッチ回路 2 0 3 (L A T 2) へと転送される。

【 0 0 5 6 】

続いて、再びシフトレジスタ回路 2 0 1 から出力されるサンプリングパルスに従い、次水平周期分のデジタル映像信号の保持動作が行われる。

【 0 0 5 7 】

一方、第 2 のラッチ回路 2 0 3 に転送されたデジタル映像信号は、画素内に配置された記憶回路に書き込まれる。図 3 (B) に示すように、次列のドットデータサンプリング期間を I、II および III と 3 分割し、第 2 のラッチ回路に保持されているデジタル映像信号をソース信号線に出力する。このとき、ビット信号選択スイッチ 2 0 4 によって、各ビットの信号が順番にソース信号線に出力されるよ

うに選択的に接続される。

【 0 0 5 8 】

期間Iでは、書き込み用ゲート信号線102にパルスが入力されてTFT108が導通し、記憶回路105にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線103にパルスが入力されてTFT109が導通し、記憶回路106にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線104にパルスが入力されてTFT110が導通し、記憶回路107にデジタル映像信号が書き込まれる。

【 0 0 5 9 】

以上で、1水平期間分のデジタル映像信号の処理が終了する。図3(B)の期間は、図3(A)において※印で示された期間である。以上の動作を最終段まで行うことにより、1フレーム分のデジタル映像信号が記憶回路105～107に書き込まれる。

【 0 0 6 0 】

書き込まれたデジタル映像信号は、D/Aコンバータ111によってアナログ信号に変換され、EL駆動用TFT115のゲート電極に入力される。このアナログ信号に応じた電流が、電源供給線112よりEL駆動用TFT115を介してEL素子114に入力される。こうして、デジタル映像信号に応じた電流により、EL素子114の輝度に変化し階調を表現する。ここでは、3ビットであるから、輝度は0～7までの8段階が得られる。

【 0 0 6 1 】

以上の動作を繰り返して、映像の表示が継続的に行われる。ここで、静止画を表示する場合には、最初の動作で記憶回路105～107にいったんデジタル映像信号が記憶されてからは、各フレーム期間で記憶回路105～107に記憶されたデジタル映像信号を反復して読み出せば良い。したがってこの静止画が表示されている期間中は、ソース信号線駆動回路の駆動を停止させることが出来る。

【 0 0 6 2 】

さらに、記憶回路へのデジタル映像信号の書き込み、あるいは記憶回路からのデジタル映像信号の読み出しは、ゲート信号線1本単位で行うことが可能である

。すなわち、ソース信号線駆動回路を短期間のみ動作させ、画面の一部のみを書き換えるなどといった表示方法をとることも出来る。

【 0 0 6 3 】

また、本実施形態においては、1画素内に3つの記憶回路を有し、3ビットのデジタル映像信号を1フレーム分だけ記憶する機能を有しているが、本発明はこの数に限定しない。つまり、 n ビットのデジタル映像信号を m フレーム分だけ記憶するには、1画素内に $n \times m$ 個の記憶回路を有していれば良い。

【 0 0 6 4 】

以上の方法により、画素内に実装された記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル映像信号を反復して用い、ソース信号線駆動回路を駆動することなく、継続的に静止画表示が可能となる。よって、EL表示装置の低消費電力化に大きく貢献することが出来る。

【 0 0 6 5 】

また、ソース信号線駆動回路に関しては、ビット数に応じて増加するラッチ回路等の配置の問題から、必ずしも絶縁体上に一体形成する必要はなく、その一部あるいは全部を外付けで構成しても良い。

【 0 0 6 6 】

さらに、本実施形態にて示したソース信号線駆動回路においては、ビット数に応じたラッチ回路を配置しているが、1ビット分のみ配置して動作させることも可能である。この場合、上位ビットから下位ビットのデジタル映像信号を直列にラッチ回路に入力すれば良い。

【 0 0 6 7 】

本発明では、前述した様にゲート信号線1本単位での信号の書き換えも可能である。この場合は、ゲート信号線駆動回路としてデコーダを使うのが望ましい。ゲート信号線駆動回路としてデコーダを使用した例を図23に示す。

【 0 0 6 8 】

デコーダを使用する場合には、特開平8-101609に開示された回路を用いればよい。

【0069】

また、ソース信号線駆動回路にもこれを用いて、部分書き換えを行うことができる。

【0070】

この様な構成により、本発明の携帯情報装置は静止面表示中に動作しつづける部分を少なくし、消費電力を低減することができる。

【0071】

【実施例】

以下に本発明の実施例について記述する。

【0072】

〔実施例1〕

本実施例においては、実施形態において示したEL表示装置の画素部の回路における記憶回路及びD/Aコンバータを、具体的にトランジスタ等を用いて構成し、その動作について説明する。

【0073】

図8は、図24に示した画素と同様のもので、D/Aコンバータ111を実際に回路で構成した例である。D/Aコンバータ111として、複数の階調電圧線を選択する方式のものを用いた。なお、図24と同じ部分は同じ符号で示す。

【0074】

3ビットのデジタル映像信号を処理する場合、8本の階調電圧線があり、それぞれにスイッチTFTが接続されている。記憶回路105～107からの出力は、デコーダを介してスイッチTFTを選択的に駆動する。これによりデジタル映像信号に応じた階調電圧がEL駆動用TFT115のゲート電極に入力される。

【0075】

図中、各部に付した番号において、図24と同じ部位については、図24と同じ番号を付している。記憶回路105～107の各々に、書き込み選択用TFT108～110を設け、記憶回路選択信号線102～104をもって制御する。

【0076】

図4は、記憶回路の一例を示したものである。点線枠450で示される部分が

記憶回路（図 8 中、105～107 で示す部分）であり、451 は書き込み選択用 T F T である。ここで示した記憶回路には、フリップフロップを利用したスタティック型メモリ（Static RAM : SRAM）を用いているが、記憶回路に関してはこの構成に限定しない。

【0077】

本実施例にて図 8 で示した回路の駆動は、実施形態にて図 3 を用いて示したタイミングチャートに従って駆動することが出来る。図 3、図 8 を用いて、記憶回路選択部の実際の駆動方法を加えて、回路動作について説明する。なお、各番号は、図 3、図 8 のものをそのまま用いる（図番は省略する）。

【0078】

図 3（A）（B）を参照する。図 3（A）において、各フレーム期間を α 、 β 、 γ と表記して説明する。まず、区間 α における回路動作について説明する。

【0079】

シフトレジスタ回路から第 2 のラッチ回路までの駆動方法に関しては実施形態にて示したものと同様であるのでそれに従う。

【0080】

期間 I では、書き込み用ゲート信号線 102 にパルスが入力されて T F T 108 が導通し、記憶回路 105 にデジタル映像信号が書き込まれる。続いて、期間 II では、書き込み用ゲート信号線 103 にパルスが入力されて T F T 109 が導通し、記憶回路 106 にデジタル映像信号が書き込まれる。最後に、期間 III では、書き込み用ゲート信号線 104 にパルスが入力されて T F T 110 が導通し、記憶回路 107 にデジタル映像信号が書き込まれる。

【0081】

以上で、1 水平期間分のデジタル映像信号の処理が終了する。図 3（B）の期間は、図 3（A）において※印で示された期間である。以上の動作を最終段まで行うことにより、1 フレーム分のデジタル映像信号が記憶回路 105～107 に書き込まれる。

【0082】

書き込まれたデジタル映像信号は、D/A コンバータ 111 によってアナログ

信号に変換され、E L 駆動用 T F T 1 1 5 のゲート電極に入力される。このアナログ信号に応じた電流が、電源供給線 1 1 2 より E L 駆動用 T F T 1 1 5 を介して E L 素子 1 1 4 に入力される。こうして、デジタル映像信号に応じた電流により、E L 素子 1 1 4 の輝度が変化し階調を表現する。ここでは、3 ビットであるから、輝度は 0 ～ 7 までの 8 段階が得られる。

【 0 0 8 3 】

以上のようにして、1 フレーム期間分の表示が行われる。一方、駆動回路側では、同時に次のフレーム期間のデジタル映像信号の処理が行われている。第 2 のラッチ回路までのデジタル映像信号の転送までは前述と同様の手順である。

【 0 0 8 4 】

以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。

【 0 0 8 5 】

[実施例 2]

本実施例においては、画素部の記憶回路への書き込みを点順次で行うことにより、ソース信号線駆動回路の第 2 のラッチ回路を省略した例について記す。

【 0 0 8 6 】

図 5 は、記憶回路を有する画素を用いた E L 表示装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3 ビットデジタル階調信号に対応したものであり、シフトレジスタ回路 5 0 1、ラッチ回路 5 0 2、画素 5 0 3 を有する。5 1 0 は、ゲート信号線駆動回路あるいは外部から直接供給される信号であり、画素の説明とともに後述する。

【 0 0 8 7 】

図 6 は、図 5 に示した画素 5 0 3 の回路構成の詳細図である。実施例 1 と同様、3 ビットデジタル階調に対応したものであり、E L 素子 (E L)、記憶回路 (6 0 5 ～ 6 0 7) 及び D / A コンバータ (D / A : 6 1 1) 等を有している。6

01は第1ビット(MSB)信号用ソース信号線、602は第2ビット信号用ソース信号線、603は第3ビット(LSB)信号用ソース信号線、604は書き込み用ゲート信号線、608~610は書き込み用TFTである。

【0088】

図7は、本実施例にて示した回路の駆動に関するタイミングチャートである。図6および図7を用いて説明する。

【0089】

シフトレジスタ回路501からラッチ回路(LAT1)502までの動作は実施形態および実施例1と同様に行われる。図7(B)に示すように、第1段目のラッチ動作が終了すると、直ちに画素の記憶回路への書き込みを開始する。書き込み用ゲート信号線604にパルスが入力され、書き込み用TFT608~610が導通し、記憶回路への書き込みが可能な状態となる。ラッチ回路502に保持されたビット毎のデジタル映像信号は、3本のソース信号線601~603を経由して、同時に書き込まれる。

【0090】

第1段目でラッチ回路に保持されたデジタル映像信号が、記憶回路へ書き込まれているとき、次段では続くサンプリングパルスに従って、ラッチ回路においてデジタル映像信号の保持が行われている。このようにして、順次記憶回路への書き込みが行われていく。

【0091】

以上で、1フレーム目の表示期間が完了する。区間βでは、次のフレームにおけるデジタル映像信号の処理が行われる。ラッチ回路502へのデジタル映像信号の保持までは前述と同様の手順である。

【0092】

以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。さらに、実施例1にて示

した回路と比較すると、ラッチ回路の数を $1/2$ とすることが出来、回路配置の省スペース化による装置全体の小型化に貢献出来る。

【0093】

[実施例3]

本実施例においては、実施例2にて示した、第2のラッチ回路を省略したEL表示装置の回路構成を応用し、線順次駆動により画素内の記憶回路への書き込みを行う方法を用いたEL表示装置の例について記す。

【0094】

図17は、本実施例にて示すEL表示装置のソース信号線駆動回路の回路構成例を示している。この回路は、3ビットデジタル階調信号に対応したものであり、シフトレジスタ回路1701、ラッチ回路1702、スイッチ回路1703、画素1704を有する。1710は、ゲート信号線駆動回路あるいは外部から直接供給される信号である。画素の回路構成に関しては、実施例2のものと同様で良いので、図6をそのまま参照する。

【0095】

図18は、本実施例にて示した回路の駆動に関するタイミングチャートである。図6、図17および図18を用いて説明する。

【0096】

シフトレジスタ回路1701からサンプリングパルスが出力され、ラッチ回路1702で、サンプリングパルスに従ってデジタル映像信号を保持するまでの動作は、実施例1および実施例2と同様である。本実施例では、ラッチ回路1702と画素1704内の記憶回路との間に、スイッチ回路1703を有しているため、ラッチ回路でのデジタル映像信号の保持が完了しても、直ちに記憶回路への書き込みが開始されない。ドットデータサンプリング期間が終了するまでの間は、スイッチ回路1703は閉じたままであり、その間、ラッチ回路ではデジタル映像信号が保持され続ける。

【0097】

図18(B)に示すように、1水平期間分のデジタル映像信号の保持が完了すると、その後の帰線期間中にラッチ信号(Latch Pulse)が入力され

てスイッチ回路 1 7 0 3 が一斉に開き、ラッチ回路 1 7 0 2 で保持されていたデジタル映像信号は一斉に画素 1 7 0 4 内の記憶回路に書き込まれる。このときの書き込み動作に関わる、画素 1 7 0 4 内の動作、さらに次のフレーム期間における表示の再の読み出し動作に関わる、画素 1 7 0 4 内の動作については、実施例 2 と同様で良いので、ここでは説明を省略する。

【 0 0 9 8 】

以上の方法によって、ラッチ回路を省略したソース信号線駆動回路においても、線順次の書き込み駆動を容易に行うことが出来る。

【 0 0 9 9 】

[実施例 4]

本実施例では、図 8 で示した D/A コンバータとは異なる構造のものを用いた画素の例を示す。図 9 に、その回路図を示す。なお、図 8 と同じ部分は同じ符号で示す。

【 0 1 0 0 】

図 8 で示したものと同様に階調電圧線を選択する方式であるが、図 8 では、素子の数が多く、画素内で素子の占める面積が大きくなる。そのため、図 9 では、スイッチを直列接続し、デコーダとスイッチを兼ねて素子数を減らしている。

【 0 1 0 1 】

[実施例 5]

本実施例では、図 8 や図 9 で示した D/A コンバータとは異なる構造のものを用いた画素の例を示す。図 2 0 に、その回路図を示す。なお、図 8 及び図 9 と同じ部分は同じ符号で示す。

【 0 1 0 2 】

図 8 や図 9 で示した D/A コンバータでは、階調電圧線を用いるため、階調数の分だけ配線が必要となり、多階調化には適さない。そのため、図 2 0 では、容量 C 1 ~ C 3 の組み合わせによって、基準電圧を分圧し、階調電圧を作っている。このような容量分割方式では、容量 C 1 ~ C 3 の比で階調が作られるため、多様な階調が表現可能である。

【 0 1 0 3 】

この様な容量分割方式のD/Aコンバータは、AMLCD99 Digest of Technical Papers p29～32に記載してある。

【0104】

[実施例6]

本実施例では、図8や図9及び図20で示したD/Aコンバータとは異なる構造のものをを用いた画素の例を示す。図21に、その回路図を示す。なお、図8や図9及び図20と同じ部分は同じ符号で示す。

【0105】

図21に示したものは、図20のD/Aコンバータをさらに簡略化したものである。容量C1～C3それぞれの2つの電極のうちEL素子と接続されていない方の電極は、リセット時には V_L に接続され、非リセット時には、 V_H または V_L のいずれかに接続されるが、その接続をスイッチのみで構成できる。

【0106】

[実施例7]

本実施例では、実施形態で示した図25とは異なった構造のソース信号線駆動回路の例を示す。

【0107】

図22に示す様に、ソース信号線駆動回路のラッチ回路を1ビット分のみ有し、代わりにソース信号線駆動回路を3倍の速度で動作させ、1ライン期間中に、第1ビットデータ、第2ビットデータ、第3ビットデータの順にデータをソース信号線駆動回路に入力し、実施形態で示した図25のソース信号線駆動回路と同様の効果を得られる。

【0108】

この方式では、外部にデータを順に入れ替えるための回路が必要であるが、ソース信号線駆動回路は小さくすることが可能である。

【0109】

[実施例8]

本実施例では、本発明の携帯情報装置のEL表示装置の画素部とその周辺に設けられる駆動回路部（ソース信号線駆動回路、ゲート信号線駆動回路）のTFT

を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるCMOS回路を図示することとする。

【0110】

まず、図10(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜5002aを10～200[nm]（好ましくは50～100[nm]）形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜5002bを50～200[nm]（好ましくは100～150[nm]）の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0111】

島状半導体層5003～5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003～5006の厚さは25～80[nm]（好ましくは30～60[nm]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（ SiGe ）合金などで形成すると良い。

【0112】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、 YVO_4 レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30[Hz]とし、レーザーエネルギー密度を100～400[mJ/cm²]（代表的には200～300[mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10[kHz]とし、レーザーエネルギー密度を300～600[mJ/cm²]（代表的には350～500[mJ/cm²])とする。

と良い。そして幅 $100\sim1000[\mu\text{m}]$ 、例えば $400[\mu\text{m}]$ で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を $80\sim98[\%]$ として行う。

【0113】

次いで、島状半導体層5003～5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを $40\sim150[\text{nm}]$ としてシリコンを含む絶縁膜で形成する。本実施例では、 $120[\text{nm}]$ の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力 $40[\text{Pa}]$ 、基板温度 $300\sim400[^\circ\text{C}]$ とし、高周波($13.56[\text{MHz}]$)、電力密度 $0.5\sim0.8[\text{W}/\text{cm}^2]$ で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後 $400\sim500[^\circ\text{C}]$ の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0114】

そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで $50\sim100[\text{nm}]$ の厚さに形成し、第2の導電膜5009をWで $100\sim300[\text{nm}]$ の厚さに形成する。

【0115】

Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、 α 相のTa膜の抵抗率は $20[\mu\Omega\text{cm}]$ 程度でありゲート電極に使用することが出来るが、 β 相のTa膜の抵抗率は $180[\mu\Omega\text{cm}]$ 程度でありゲート電極とするには不向きである。 α 相のTa膜を形成するために、Taの α 相に近い結晶構造をもつ窒化タンタルを $10\sim50[\text{nm}]$ 程度の厚さでTaの下地に形成しておくことと α 相のTa膜を容易に得ることが出来る。

【0116】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン (WF_6) を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 [$\mu\Omega\text{cm}$] 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999 [%] のWターゲットを用い、さらに成膜時に気相中の不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20 [$\mu\Omega\text{cm}$] を実現することが出来る。

【0117】

なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル (Ta₂N₅) で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル (Ta₂N₅) で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル (Ta₂N₅) で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。

【0118】

次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1 [Pa] の圧力でコイル型の電極に500 [W] のRF (13.56 [MHz]) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも100 [W] のRF (13.56 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度に

エッチングされる。

【 0 1 1 9 】

上記エッチング条件では、レジストによるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20 [\%]$ 程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ （代表的には 3 ）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50 [\text{nm}]$ 程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層 $5011 \sim 5016$ （第1の導電層 $5011a \sim 5016a$ と第2の導電層 $5011b \sim 5016b$ ）を形成する。このとき、ゲート絶縁膜 5007 においては、第1の形状の導電層 $5011 \sim 5016$ で覆われない領域は $20 \sim 50 [\text{nm}]$ 程度エッチングされ薄くなった領域が形成される。

（図10（A））

【 0 1 2 0 】

そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドーピング法もしくはイオン注入法で行えば良い。イオンドーピング法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を $60 \sim 100 [\text{keV}]$ として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いる。この場合、導電層 $5011 \sim 5015$ がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域 $5017 \sim 5025$ が形成される。第1の不純物領域 $5017 \sim 5025$ には $1 \times 10^{20} \sim 1 \times 10^{21} [\text{atoms}/\text{cm}^3]$ の濃度範囲でN型を付与する不純物元素を添加する。（図10（B））

【 0 1 2 1 】

次に、図10（C）に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスに CF_4 と Cl_2 と O_2 とを用い、W膜を

選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5026～5031（第1の導電層5026a～5031aと第2の導電層5026b～5031b）を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026～5031で覆われない領域はさらに20～50[nm]程度エッチングされ薄くなった領域が形成される。

【0122】

W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0123】

そして、図11(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120[keV]とし、 $1 \times 10^{13} [\text{atoms}/\text{cm}^2]$ のドーズ量で行い、図10(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026～5030を不純物元素に対するマスクとして用い、第1の導電層5026a～5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032～5036が形成される。この第3の不純物領域5032～5036に添加されたリン（

P) の濃度は、第 1 の導電層 5 0 2 6 a ~ 5 0 3 0 a のテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第 1 の導電層 5 0 2 6 a ~ 5 0 3 0 a のテーパー部と重なる半導体層において、第 1 の導電層 5 0 2 6 a ~ 5 0 3 0 a のテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【 0 1 2 4 】

図 1 1 (B) に示すように第 3 のエッチング処理を行う。エッチングガスに CHF_3 を用い、反応性イオンエッチング法 (RIE 法) を用いて行う。第 3 のエッチング処理により、第 1 の導電層 5 0 2 6 a ~ 5 0 3 1 a のテーパー部を部分的にエッチングして、第 1 の導電層が半導体層と重なる領域が縮小される。第 3 のエッチング処理によって、第 3 の形状の導電層 5 0 3 7 ~ 5 0 4 2 (第 1 の導電層 5 0 3 7 a ~ 5 0 4 2 a と第 2 の導電層 5 0 3 7 b ~ 5 0 4 2 b) を形成する。このとき、ゲート絶縁膜 5 0 0 7 においては、第 3 の形状の導電層 5 0 3 7 ~ 5 0 4 2 で覆われない領域はさらに 2 0 ~ 5 0 [nm] 程度エッチングされ薄くなった領域が形成される。

【 0 1 2 5 】

第 3 のエッチング処理によって、第 3 の不純物領域 5 0 3 2 ~ 5 0 3 6 においては、第 1 の導電層 5 0 3 7 a ~ 5 0 4 1 a と重なる第 3 の不純物領域 5 0 3 2 a ~ 5 0 3 6 a と、第 1 の不純物領域と第 3 の不純物領域との間の第 2 の不純物領域 5 0 3 2 b ~ 5 0 3 6 b とが形成される。

【 0 1 2 6 】

そして、図 1 1 (C) に示すように、Pチャネル型 TFT を形成する島状半導体層 5 0 0 4 に第 1 の導電型とは逆の導電型の第 4 の不純物領域 5 0 4 3 ~ 5 0 4 8 を形成する。第 3 の形状の導電層 5 0 3 8 b を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型 TFT を形成する島状半導体層 5 0 0 3、5 0 0 5、5 0 0 6 および配線部 5 0 4 2 はレジストマスク 5 2 0 0 で全面を被覆しておく。不純物領域 5 0 4 3 ~ 5 0 4 8 にはそれぞれ異なる濃度でリンが添加されているが、ジボラン (B_2H_6) を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が 2×10

$20 \sim 2 \times 10^{21} [\text{atoms}/\text{cm}^3]$ となるようにする。

【0127】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037～5041がゲート電極として機能する。また、5042は島状のソース信号線として機能する。

【0128】

レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することが出来る。熱アニール法では酸素濃度が1 [ppm] 以下、好ましくは0.1 [ppm] 以下の窒素雰囲気中で400～700 [°C]、代表的には500～600 [°C]で行うものであり、本実施例では500 [°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。

【0129】

さらに、3～100 [%]の水素を含む雰囲気中で、300～450 [°C]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0130】

次いで、図12（A）に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100～200 [nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線（接続配線、信号線を含む）5057～5062、5064をパターンニング形成した後、接続配線5062に接する画素電極5063をパタ

ーニング形成する。

【0131】

第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTF Tによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5[μm]（さらに好ましくは2～4[μm]）とすれば良い。

【0132】

コンタクトホール形成は、ドライエッチングまたはウェットエッチングを用い、N型の不純物領域5017、5018、5021、5023～5025またはP型の不純物領域5043～5048に達するコンタクトホール、配線5042に達するコンタクトホール、電源供給線に達するコンタクトホール（図示せず）、およびゲート電極に達するコンタクトホール（図示せず）をそれぞれ形成する。

【0133】

また、配線（接続配線、信号線を含む）5057～5062、5064として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0134】

また、本実施例では、画素電極5063としてMgAg膜を110[nm]の厚さに形成し、パターニングを行った。画素電極5063を接続配線5062と接して重なるように配置することでコンタクトを取っている。この画素電極5063がEL素子の陽極となる。（図12（A））

【0135】

次に、図12（B）に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500[nm]の厚さに形成し、画素電極5063に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5065を形成する。開口部

を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないとならば段差に起因する E L 層の劣化が顕著な問題となってしまうため、注意が必要である。

【 0 1 3 6 】

次に、E L 層 5 0 6 6 および陰極（透明電極） 5 0 6 7 を、真空蒸着法を用いて大気解放しないで連続形成する。なお、E L 層 5 0 6 6 の膜厚は 8 0 ~ 2 0 0 [nm]（典型的には 1 0 0 ~ 1 2 0 [nm]）、陰極 5 0 6 7 は、I T O 膜にて形成した。

【 0 1 3 7 】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、E L 層および陰極を形成する。但し、E L 層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に E L 層および陰極を形成するのが好ましい。

【 0 1 3 8 】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の E L 層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の E L 層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の E L 層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【 0 1 3 9 】

ここでは R G B に対応した 3 種類の E L 素子を形成する方式を用いたが、白色発光の E L 素子とカラーフィルタを組み合わせた方式、青色または青緑発光の E L 素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用して R G B に対応した E L 素子を重ねる方式などを用いても良い。

【 0 1 4 0 】

なお、EL層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をEL層とすれば良い。

【0141】

次に、同じゲート信号線にゲート電極が接続されたスイッチング用TFTを有する画素（同じラインの画素）上に、メタルマスクを用いて陰極5067を形成する。なお本実施例では陰極5067としてMgAgを用いたが、本発明はこれに限定されない。陰極5067として他の公知の材料を用いても良い。

【0142】

最後に、窒化珪素膜でなるパッシベーション膜5068を300[nm]の厚さに形成する。パッシベーション膜5068を形成しておくことで、EL層5066を水分等から保護することができ、EL素子の信頼性をさらに高めることが出来る。

【0143】

こうして図12（B）に示すような構造のELディスプレイパネルが完成する。なお、本実施例におけるELディスプレイパネルの作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0144】

なお、上記の行程により作成されるアクティブマトリクス型EL表示装置におけるTFTはトップゲート構造をとっているが、ボトムゲート構造のTFTやその他の構造のTFTに対しても本実施例は容易に適用され得る。

【0145】

また、本実施例においては、ガラス基板を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用することによっても実施が可能である。

【0146】

ところで、本実施例のE Lディスプレイパネルは、画素部だけでなく駆動回路部にも最適な構造のT F Tを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてN i等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を1 0 [MHz]以上にすることが可能である。

【0 1 4 7】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するT F Tを、駆動回路部を形成するC M O S回路のNチャネル型T F Tとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

【0 1 4 8】

本実施例の場合、Nチャネル型T F Tの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップL D D領域（L_{OV}領域）、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットL D D領域（L_{OFF}領域）およびチャネル形成領域を含む。

【0 1 4 9】

また、C M O S回路のPチャネル型T F Tは、ホットキャリア注入による劣化が殆ど気にならないので、特にL D D領域を設けなくても良い。勿論、Nチャネル型T F Tと同様にL D D領域を設け、ホットキャリア対策を講じることも可能である。

【0 1 5 0】

その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなC M O S回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなC M O S回路が用いられる場合、C M O S回路を形成するNチャネル型T F Tは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でL D D領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるC M O S回路が用いられる場合、C M O S回路を形成するNチャ

ネル型 T F T は、 L_{OV} 領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。

【0151】

なお、実際には図 1 2 (B) の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりすると E L 素子の信頼性が向上する。

【0152】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：F P C）を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中では E L 表示装置という。

【0153】

また、本実施例で示す工程に従えば、E L 表示装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0154】

[実施例 9]

本実施例では、本発明の携帯情報装置の E L 表示装置を作製した例について、図 1 9 を用いて説明する。

【0155】

図 1 9 (A) は、E L 表示装置の上面図であり、図 1 9 (B) は、図 1 9 (A) の A - A' における断面図、図 1 9 (C) は図 1 9 (A) の B - B' における断面図である。

【0156】

基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、第 1 及び第 2 のゲート信号線駆動回路 4 0 0 4 a、b とを囲むようにして、シール材 4 0 0 9 が設けられている。また画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、第 1 及び第 2 のゲート信号線駆動回路 4 0 0 4 a、b との上にシーリング材 4 0 0 8 が設けられている。よって画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、第 1 及び第 2 のゲート信号線駆動回路 4 0 0 4 a、b とは、基板 4 0 0 1 とシール材 4 0 0 9 とシーリング材 4 0 0 8 とによって、充填材 4 2 1 0 で密封されている。

【 0 1 5 7 】

また基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、第 1 及び第 2 のゲート信号線駆動回路 4 0 0 4 a、b とは、複数の T F T を有している。図 1 9 (B) では代表的に、下地膜 4 0 1 0 上に形成された、ソース信号線駆動回路 4 0 0 3 に含まれる駆動 T F T (但し、ここでは n チャネル型 T F T と p チャネル型 T F T を図示する) 4 2 0 1 及び画素部 4 0 0 2 に含まれる画素 T F T (E L 素子への電流を制御する T F T) 4 2 0 2 を図示した。

【 0 1 5 8 】

本実施例では、駆動 T F T 4 2 0 1 には公知の方法で作製された p チャネル型 T F T または n チャネル型 T F T が用いられ、E L 駆動用 T F T 4 2 0 2 には公知の方法で作製された p チャネル型 T F T が用いられる。

【 0 1 5 9 】

駆動 T F T 4 2 0 1 及び E L 駆動用 T F T 4 2 0 2 上には層間絶縁膜 (平坦化膜) 4 3 0 1 が形成され、その上に E L 駆動用 T F T 4 2 0 2 のドレインと電氣的に接続する画素電極 (陽極) 4 2 0 3 が形成される。画素電極 4 2 0 3 としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

【 0 1 6 0 】

そして、画素電極 4 2 0 3 の上には絶縁膜 4 3 0 2 が形成され、絶縁膜 4 3 0 2 は画素電極 4 2 0 3 の上に開口部が形成されている。この開口部において、画素電極 4 2 0 3 の上には E L (エレクトロルミネッセンス) 層 4 2 0 4 が形成される。E L 層 4 2 0 4 は公知の有機 E L 材料または無機 E L 材料を用いることができる。また、有機 E L 材料には低分子系 (モノマー系) 材料と高分子系 (ポリマー系) 材料があるがどちらを用いても良い。

【 0 1 6 1 】

E L 層 4 2 0 4 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、E L 層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【 0 1 6 2 】

E L 層 4 2 0 4 の上には遮光性を有する導電膜 (代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜) からなる陰極 4 2 0 5 が形成される。また、陰極 4 2 0 5 と E L 層 4 2 0 4 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、E L 層 4 2 0 4 を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極 4 2 0 5 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式 (クラスターツール方式) の成膜装置を用いることで上述のような成膜を可能とする。そして陰極 4 2 0 5 は所定の電圧が与えられている。

【 0 1 6 3 】

以上のようにして、画素電極 (陽極) 4 2 0 3、E L 層 4 2 0 4 及び陰極 4 2 0 5 からなる E L 素子 4 3 0 3 が形成される。そして E L 素子 4 3 0 3 を覆うように、絶縁膜 4 3 0 2 上に保護膜 4 3 0 3 が形成されている。保護膜 4 3 0 3 は、E L 素子 4 3 0 3 に酸素や水分等が入り込むのを防ぐのに効果的である。

【 0 1 6 4 】

4 0 0 5 a は電源供給線に接続された引き回し配線であり、E L 駆動用 T F T 4 2 0 2 のソース領域に電氣的に接続されている。引き回し配線 4 0 0 5 a はシール材 4 0 0 9 と基板 4 0 0 1 との間を通り、異方導電性フィルム 4 3 0 0 を介して F P C 4 0 0 6 が有する F P C 用配線 4 3 0 1 に電氣的に接続される。

【0165】

シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0166】

但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0167】

また、充填材4103としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【0168】

また充填材4103を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、EL素子4303の劣化を抑制できる。

【0169】

図17(C)に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0170】

また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電氣的に接続される。

【0171】

[実施例10]

本実施例では、本発明の携帯情報装置のEL表示装置として、EL素子より発光した光を画素基板側に放射する下方出光のEL表示装置を使用した場合の例を示す。

【0172】

デサインルールを1 μ mルール、画素ピッチを100ppi程度とすれば、画素内部の記憶回路及びD/Aコンバータ等は、ソース信号線の下に配置することが可能となり、開口率の低下の問題を解決することができる。これにより、本発明を、EL素子より発光した光を画素基板側とは逆の方向に放射する上方出光のEL表示装置だけでなく、下方出光のEL表示装置にも適用できる。

【0173】

図30に、上記構成の下方出光のEL表示装置の画素の上面図を模式的に示す。

【0174】

3301は画素、3302～3304は記憶回路、3305はD/Aコンバータ(図中D/Aと記載)、3306は画素電極、3307はソース信号線である。画素電極3306としては透明電極を用いる。なお、電源供給線や対向電極、カラーフィルタ及び保持容量等は図示していない。ここで、記憶回路302～304及びD/Aコンバータ3305は、ソース信号線3307の下に形成されている。

【 0 1 7 5 】

なお図示していないが、ソース信号線 3 3 0 7 の下ではなくゲート信号線の下に、これらの記憶回路 3 0 2 ~ 3 3 0 4 及び D / A コンバータ 3 3 0 5 等を配置することも可能である。

【 0 1 7 6 】

[実施例 1 1]

本発明の情報端末機器の E L 表示装置の画素においては、記憶回路としてスタティック型メモリ (Static RAM : SRAM) を用いて構成していたが、記憶回路は SRAM のみに限定されない。本発明の情報端末機器の E L 表示装置の画素に適用可能な記憶回路には、他にダイナミック型メモリ (Dynamic RAM : DRAM) 等があげられる。

【 0 1 7 7 】

さらに、特に図示しないが、他の形式の記憶回路として、強誘電体メモリ (Ferroelectric RAM : FRAM) を利用して本発明の情報端末機器の E L 表示装置の画素を構成することも可能である。FRAM は、SRAM や DRAM と同等の書き込み速度を有する不揮発性メモリであり、その書き込み電圧が低い等の特徴を利用して、本発明の情報端末機器の E L 表示装置のさらなる低消費電力化が可能である。またその他、フラッシュメモリ等によっても、構成は可能である。

【 0 1 7 8 】

[実施例 1 2]

本発明の携帯情報装置が有する E L 表示装置において、三重項励起子からの燐光を発光に利用できる E L 材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、E L 素子の低消費電力化、長寿命化、および軽量化が可能になる。

【 0 1 7 9 】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

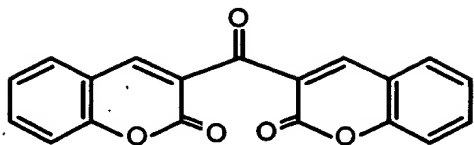
(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【 0 1 8 0 】

上記の論文により報告された E L 材料（クマリン色素）の分子式を以下に示す。

【 0 1 8 1 】

【化 1】



【 0 1 8 2 】

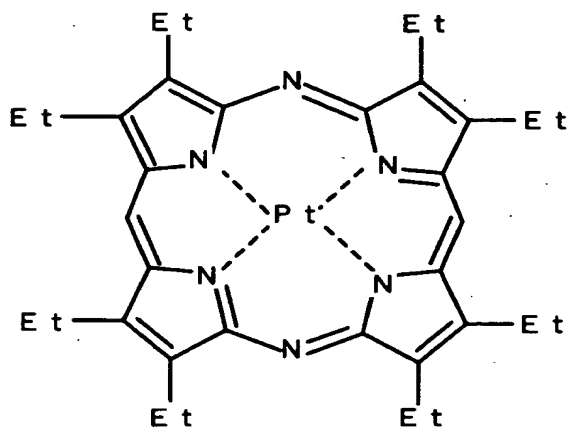
(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【 0 1 8 3 】

上記の論文により報告された E L 材料（P t 錯体）の分子式を以下に示す。

【 0 1 8 4 】

【化 2】



【 0 1 8 5 】

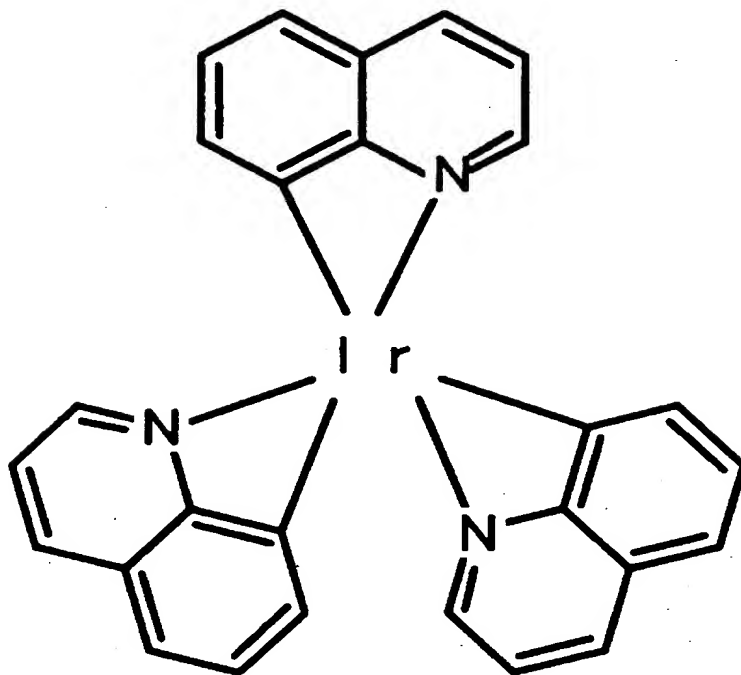
(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl. Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

【 0 1 8 6 】

上記の論文により報告されたEL材料（Ir錯体）の分子式を以下に示す。

【0187】

【化3】



【0188】

次に、三重項励起子からの燐光を発光に利用できるEL材料の特性について述べる。

【0189】

本発明の携帯情報装置の有するEL表示装置において、任意波形発生器により電源供給線にDC印加、ON-OFFをスイッチングし、応答時間を測定した。ON期間（選択期間）、off期間（非選択期間、電圧0V）はそれぞれ250 μ sとした。

【0190】

EL素子の発光輝度を測定する光学系として、顕微鏡、顕微鏡鏡筒にフォトマルチプライヤー設置し、フォトマルチプライヤーの出力をオシロスコープで測定した。なお本明細書において応答時間とは、非選択状態から選択状態へのスイッチの立ち上がり、選択状態から非選択状態へのスイッチの立ち下がりと定義する

。具体的には、駆動波形のスイッチの瞬間からそれに追従する光学応答の変化がフル応答に対し 90%まで変化するのに要する時間を応答時間とした。

【0191】

図 3 4 に、測定時における、電源供給線に入力される信号の駆動波形と、E L 素子の発光輝度を意味する光学応答波形を示す。上が駆動波形、下が光学応答である。フォトマルチプライヤーはマイナス出力のタイプを使用しており、電圧 0 V から 6 V までを印加した。この時応答時間は $33 \mu s$ であった。

【0192】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より 3 ～ 4 倍の高い外部発光量子効率の実現が可能となる。

【0193】

[実施例 13]

本実施例では、本発明の携帯情報端末の外観図について述べる。図 3 1 に示すのは本発明の構成を有する携帯情報端末であり、2701 は表示用パネル、2702 は操作用パネルである。表示用パネル 2701 と操作用パネル 2702 とは接続部 2703 において接続されている。そして接続部 2703 における、表示用パネル 2701 の表示部 2704 が設けられている面と操作用パネル 2702 の操作キー 2706 が設けられている面との角度 θ は、任意に変えることができる。

【0194】

表示用パネル 2701 は表示部 2704 を有している。また図 3 1 に示した携帯情報端末は電話としての機能を有しており、表示用パネル 2701 は音声出力部 2705 を有しており、音声は音声出力部 2705 から出力される。表示部 2704 には E L 表示装置が用いられている。

【0195】

表示部 2704 のアスペクト比は 16 : 9、4 : 3 など任意に選択することができる。表示部 2704 のサイズは対角 1 インチ～4.5 インチ程度が望ましい

【0196】

操作用パネル2702は操作キー2706、電源スイッチ2707、音声入力部2708を有している。なお図31では操作キー2706と電源スイッチ2707とを別個に設けたが、操作キー2706の中に電源スイッチ2707が含まれる構成にしても良い。音声入力部2708において、音声が入力される。

【0197】

なお図31では表示用パネル2701が音声出力部2705を有し、操作用パネル2702が音声入力部2708を有しているが、本実施例はこの構成に限定されない。表示用パネル2701が音声入力部2708を有し、操作用パネルが音声出力部2705を有していても良い。また音声出力部2705と音声入力部2708とが共に表示用パネル2701に設けられていても良いし、音声出力部2705と音声入力部2708とが共に操作用パネル2702に設けられていても良い。

【0198】

なお図32では図31で示した携帯情報端末の操作キー2706を人差し指で操作している例について示した。また図33では図31で示した携帯情報端末の操作キー2706を親指で操作している例について示した。なお操作キー2706は操作用パネル2702の側面に設けても良い。操作は片手（きき手）の人差し指のみ、または親指のみでも可能である。

【0199】

[実施例1.4]

本実施例では、本発明の携帯情報装置を応用した電子機器について、図28及び図27を用いて説明する。

【0200】

本発明の携帯情報装置としてパーソナルコンピュータがある。図28(A)はパーソナルコンピュータであり、本体2801、画像入力部2802、表示部2803、キーボード2804等を含む。表示部2803として、画素毎に記憶回路を有するEL表示装置を用いることで、パーソナルコンピュータの低消費電力化を実現できる。

【 0 2 0 1 】

本発明の携帯情報装置としてナビゲーション装置がある。図 2 8 (B) はナビゲーション装置であり、本体 2 8 1 1、表示部 2 8 1 2、スピーカ部 2 8 1 3、記憶媒体 2 8 1 4、操作スイッチ 2 8 1 5 等を含む。表示部 2 8 1 2 として、画素毎に記憶回路を有する E L 表示装置を用いることで、ナビゲーション装置の低消費電力化を実現できる。

【 0 2 0 2 】

本発明の携帯情報装置として電子書籍がある。図 2 8 (C) は電子書籍であり、本体 2 8 5 1、表示部 2 8 5 2、記憶媒体 2 8 5 3、操作スイッチ 2 8 5 4、アンテナ 2 8 5 5 等を含み、ミニディスク (M D) や D V D (D i g i t a l V e r s a t i l e D i s c) に記憶されたデータや、アンテナで受信したデータを表示するものである。表示部 2 6 5 2 として、画素毎に記憶回路を有する E L 表示装置を用いることで、電子書籍の低消費電力化を実現できる。

【 0 2 0 3 】

本発明の携帯情報装置として携帯電話がある。図 2 7 (A) は携帯電話であり、表示用パネル 2 9 0 1、操作用パネル 2 9 0 2、接続部 2 9 0 3、表示部 2 9 0 4、音声出力部 2 9 0 5、操作キー 2 9 0 6、電源スイッチ 2 9 0 7、音声入力部 2 9 0 8、アンテナ 2 9 0 9、C C D 受光部 2 9 1 0、外部入力ポート 2 0 1 1 等を含む。表示部 2 9 0 4 として、画素毎に記憶回路を有する E L 表示装置を用いることで、携帯電話の低消費電力化を実現できる。

【 0 2 0 4 】

本発明の携帯情報装置として P D A がある。図 2 7 (B) は P D A であり、表示部及びペン入力ダブレット 3 0 0 4、操作キー 3 0 0 6、電源スイッチ 3 0 0 7、外部入力ポート 3 0 1 1、入力用ペン 3 0 1 2 等を含む。表示部 3 0 0 4 として、画素毎に記憶回路を有する E L 表示装置を用いることで、P D A の低消費電力化を実現できる。

【 0 2 0 5 】

【発明の効果】

E L 表示装置を組み込んだ携帯情報装置において、各画素の内部に配置された

複数の記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル映像信号を反復して用い、継続的に静止画表示を行う際に、ソース信号線駆動回路を停止させておくことが可能となる。また、E L 表示装置に入力する信号を処理する、映像信号処理回路等の回路も、継続的に静止画表示を行う際は、停止させておくことが可能になるため、携帯情報装置の低消費電力化に大きく貢献する。

【図面の簡単な説明】

【図 1】 複数の記憶回路を内部に有する本発明の携帯情報装置の E L 表示装置の画素の回路図。

【図 2】 本発明の携帯情報装置の E L 表示装置の画素を用いて表示を行うためのソース信号線駆動回路の回路構成例を示す図。

【図 3】 本発明の携帯情報装置の E L 表示装置の画素を用いて表示を行うためのタイミングチャートを示す図。

【図 4】 複数の記憶回路を内部に有する本発明の携帯情報装置の E L 表示装置の画素の詳細な回路図。

【図 5】 第 2 のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図 6】 図 5 のソース信号線駆動回路によって駆動される、本発明の携帯情報装置の E L 表示装置の画素の詳細な回路図。

【図 7】 図 5 および図 6 に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

【図 8】 本発明の携帯情報装置の E L 表示装置の D / A コンバータの構成を示す図。

【図 9】 本発明の携帯情報装置の E L 表示装置の D / A コンバータの構成を示す図。

【図 1 0】 本発明の携帯情報装置の E L 表示装置の作成工程例を示す図。

【図 1 1】 本発明の携帯情報装置の E L 表示装置の作成工程例を示す図。

【図 1 2】 本発明の携帯情報装置の E L 表示装置の作成工程例を示す図。

【図 1 3】 従来の携帯情報装置の E L 表示装置の全体の回路構成を簡略に

示す図。

【図 1 4】 従来の携帯情報装置の E L 表示装置のソース信号線駆動回路の回路構成例を示す図。

【図 1 5】 従来の携帯情報端末のブロック図。

【図 1 6】 従来の携帯電話のブロック図。

【図 1 7】 第 2 のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図 1 8】 図 1 7 に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

【図 1 9】 本発明の携帯情報装置の E L 表示装置の上面図及び断面図。

【図 2 0】 本発明の携帯情報装置の E L 表示装置の D / A コンバータの構成を示す図。

【図 2 1】 本発明の携帯情報装置の E L 表示装置の D / A コンバータの構成を示す図。

【図 2 2】 1 ビット処理分のラッチ回路を有するソース信号線駆動回路の回路構成例を示す図。

【図 2 3】 デコーダを用いたゲート信号線駆動回路の例を示す図。

【図 2 4】 本発明を用いた携帯情報端末のブロック図。

【図 2 5】 本発明を用いた携帯電話のブロック図。

【図 2 6】 携帯電話の送受信部のブロック図。

【図 2 7】 本発明の携帯情報装置の応用例を示す図。

【図 2 8】 本発明の携帯情報装置の応用例を示す図。

【図 2 9】 従来のアクティブマトリクス型 E L 表示装置の画素部の構成例を示す図。

【図 3 0】 本発明の携帯情報装置の E L 表示装置の画素の上面図。

【図 3 1】 本発明の携帯情報端末の例を示す図。

【図 3 2】 本発明の携帯情報端末の例を示す図。

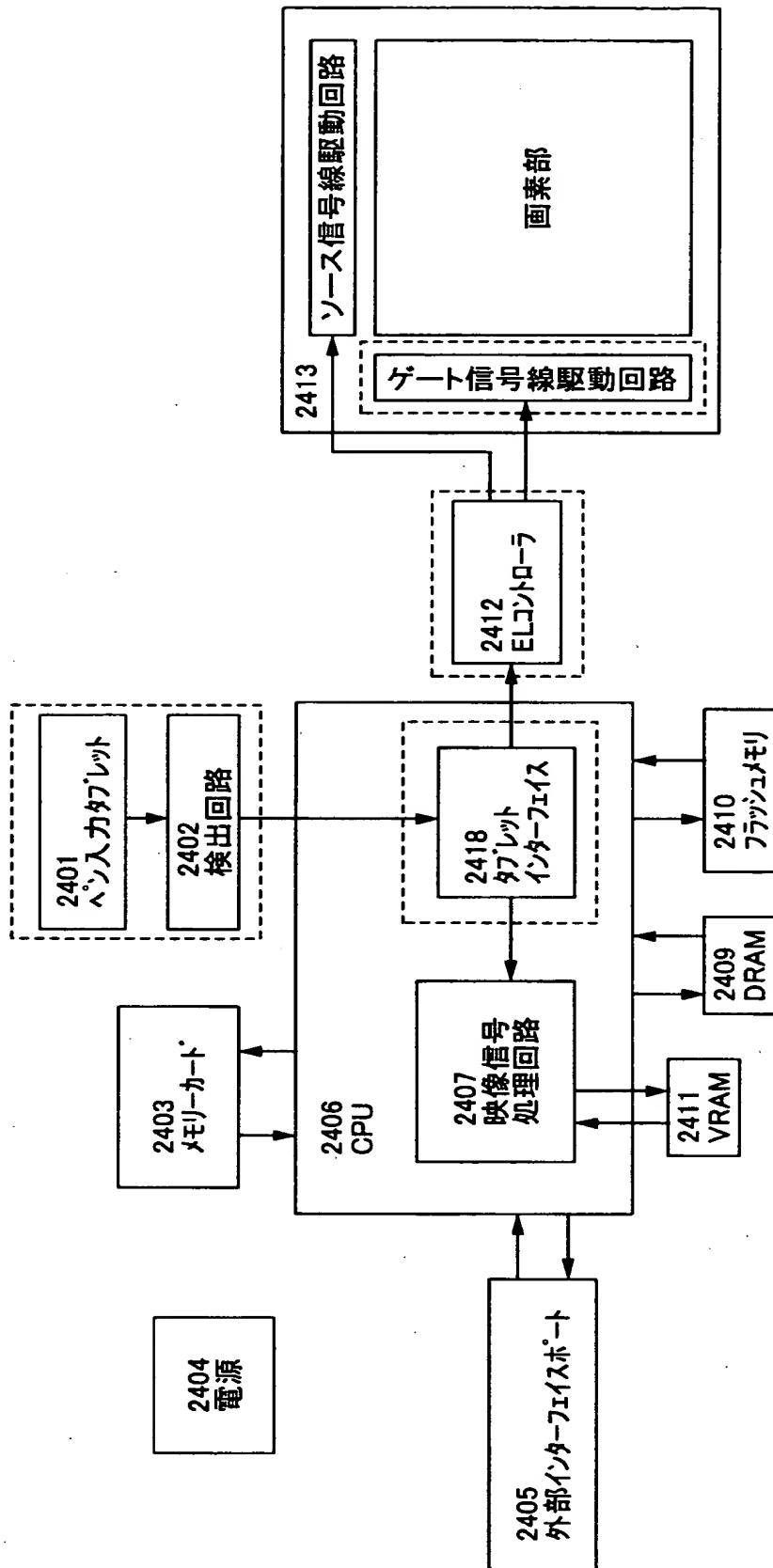
【図 3 3】 本発明の携帯情報端末の例を示す図。

【図 3 4】 三重項励起子からの燐光を利用した E L 材料の特性を示す図。

特 2 0 0 0 - 2 5 3 1 8 8

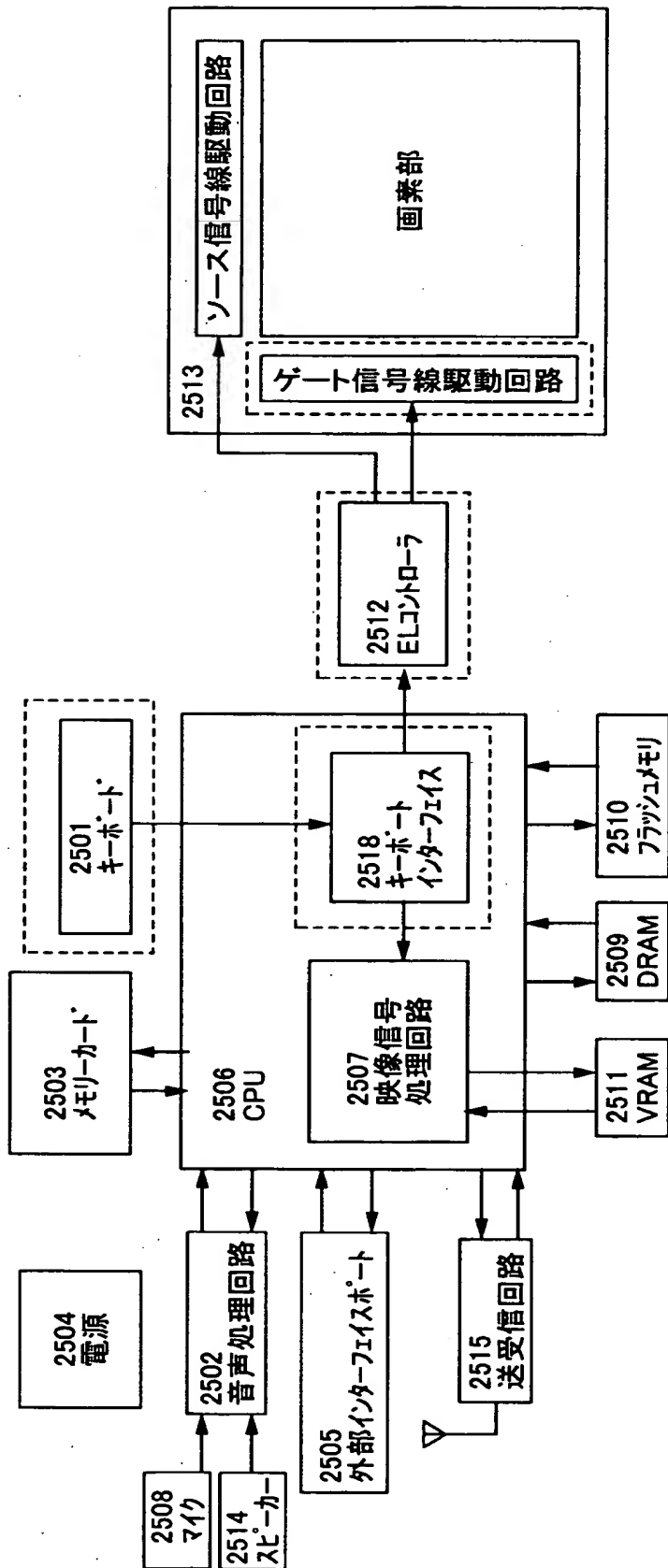
【書類名】 図面

【図 1】



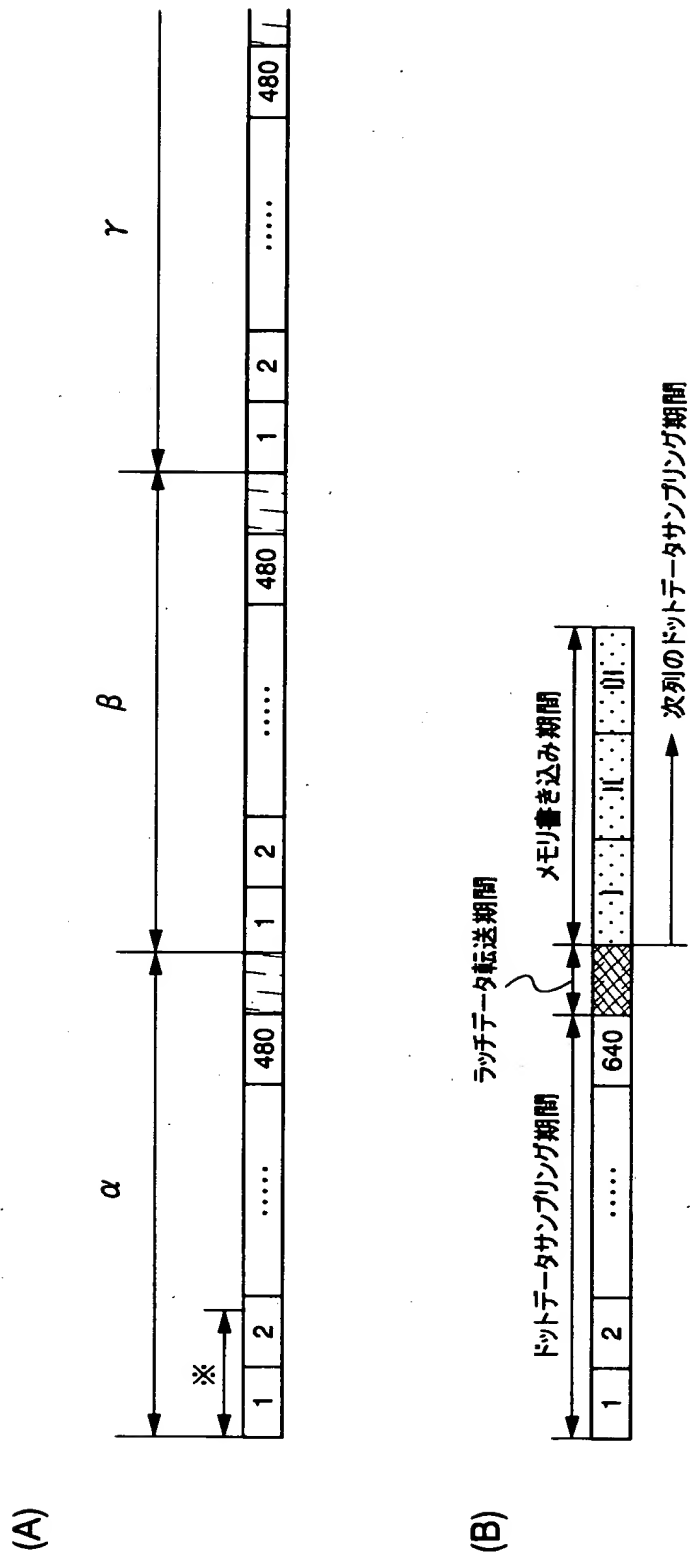
携帯情報端末のブロック図

【図2】

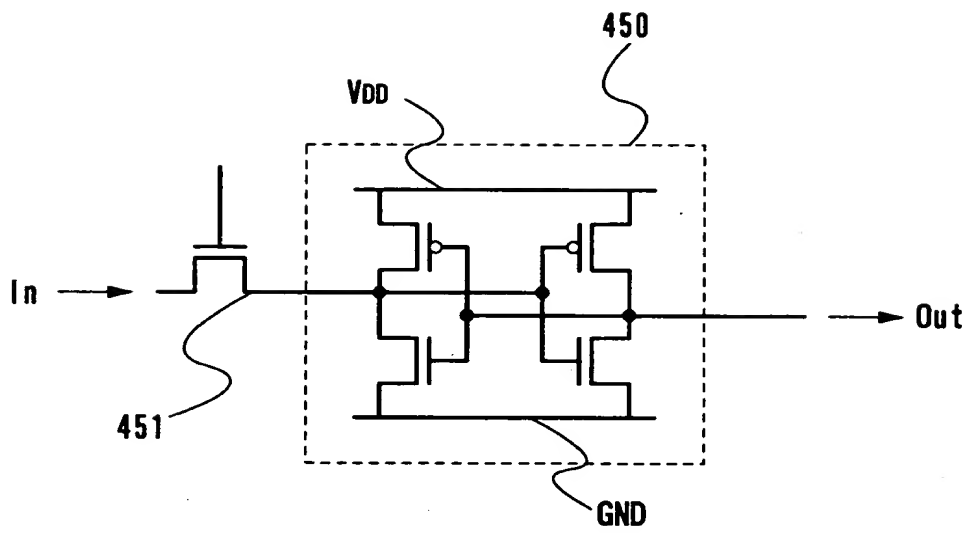


携帯電話ブロック図

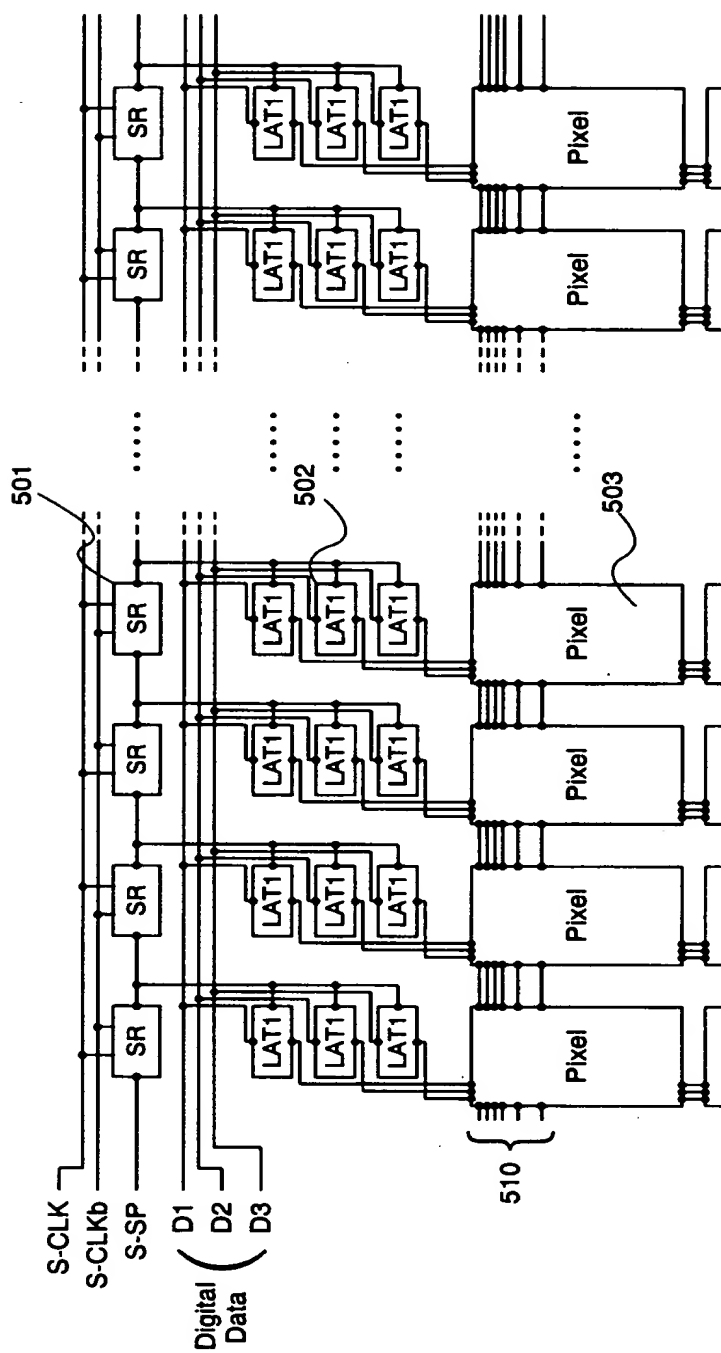
【図 3】



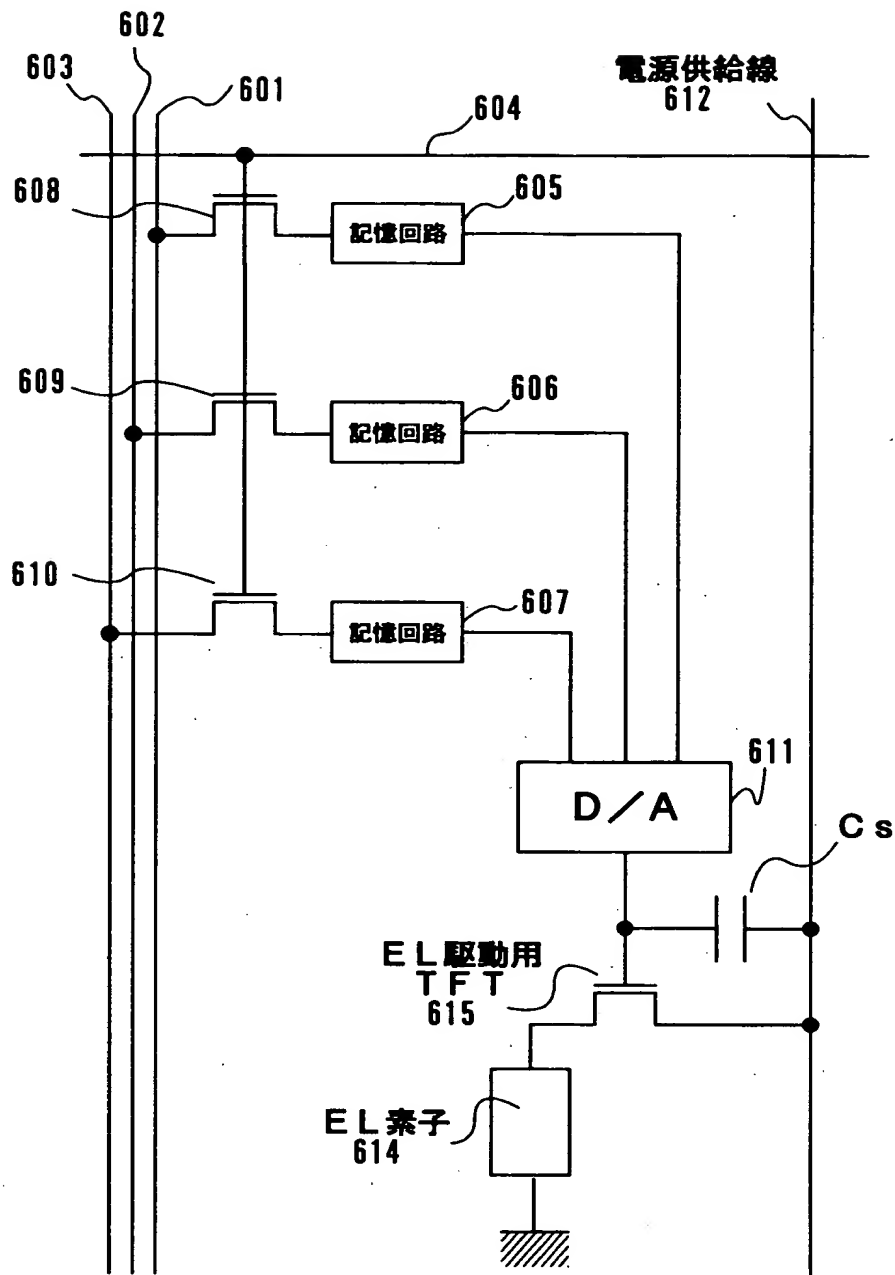
【図 4】



【図 5】

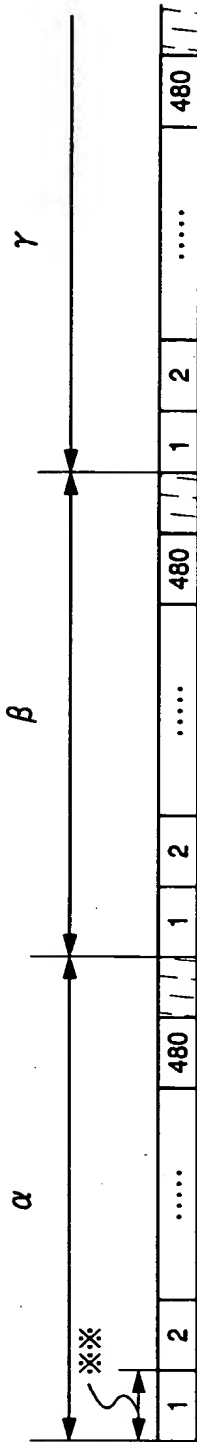


【図 6】

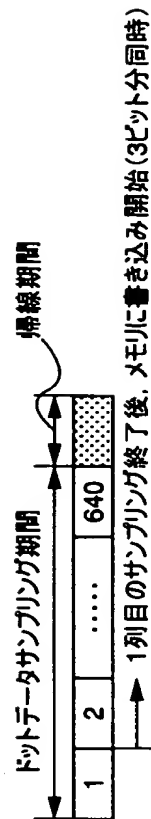


【図 7】

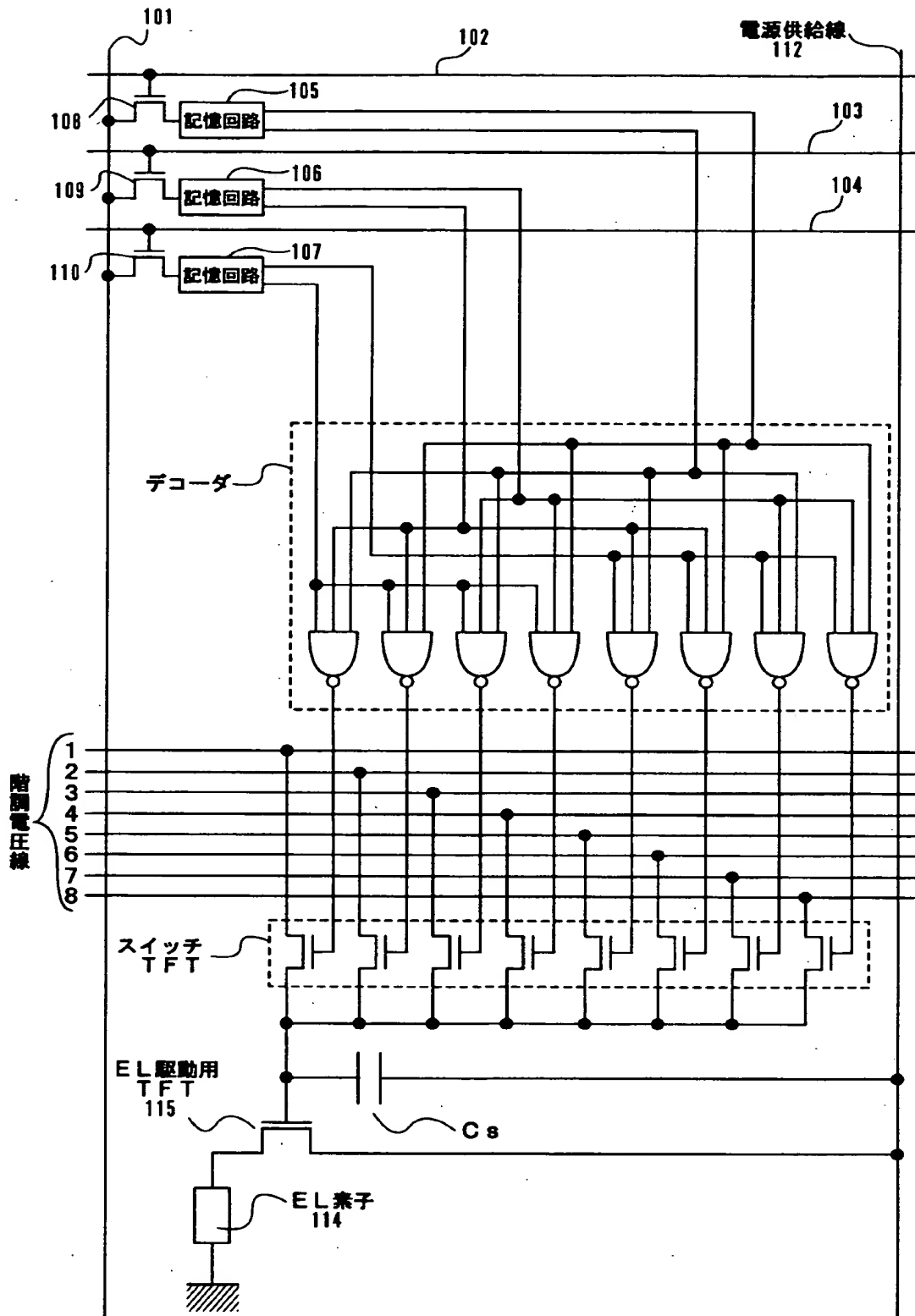
(A)



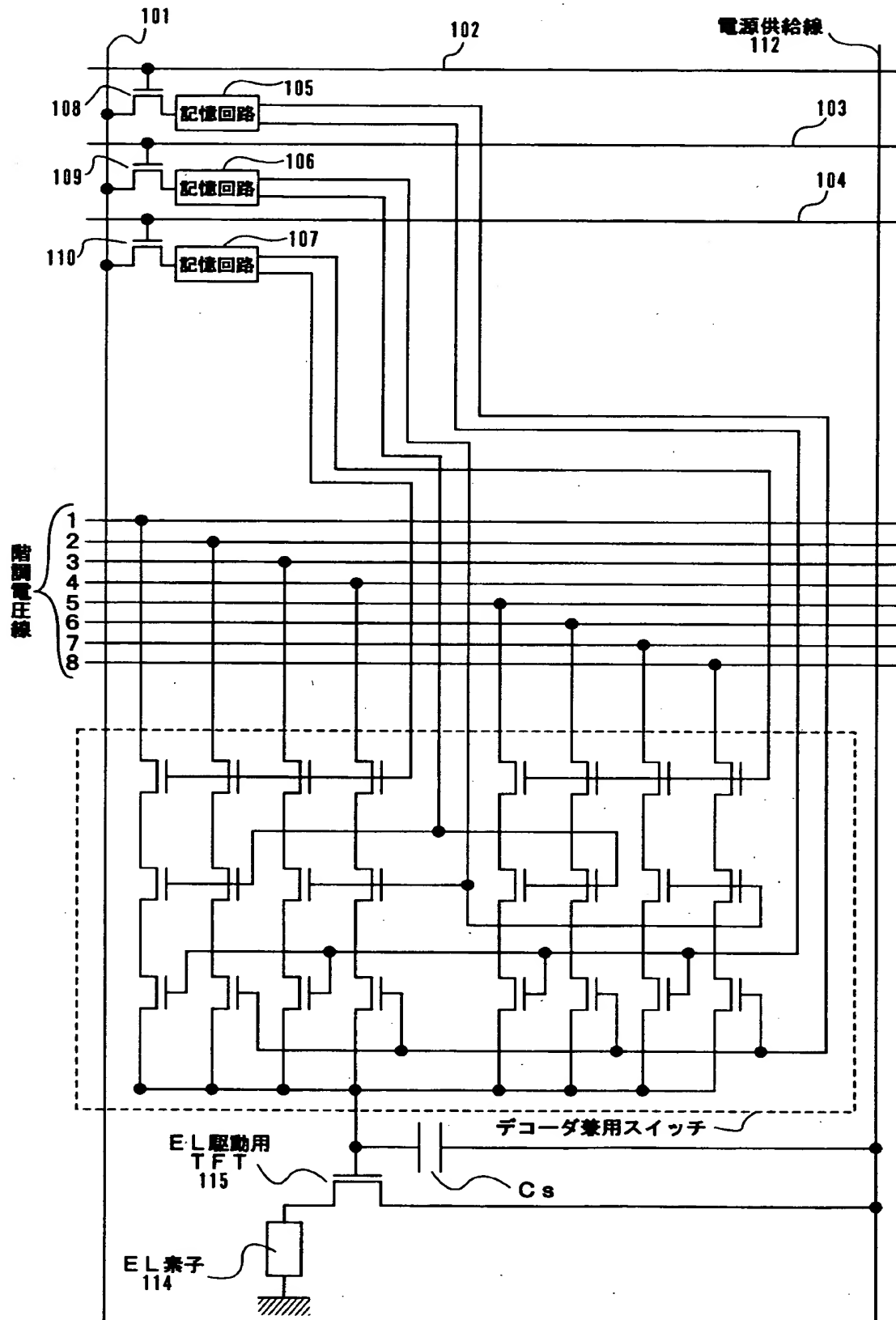
(B)



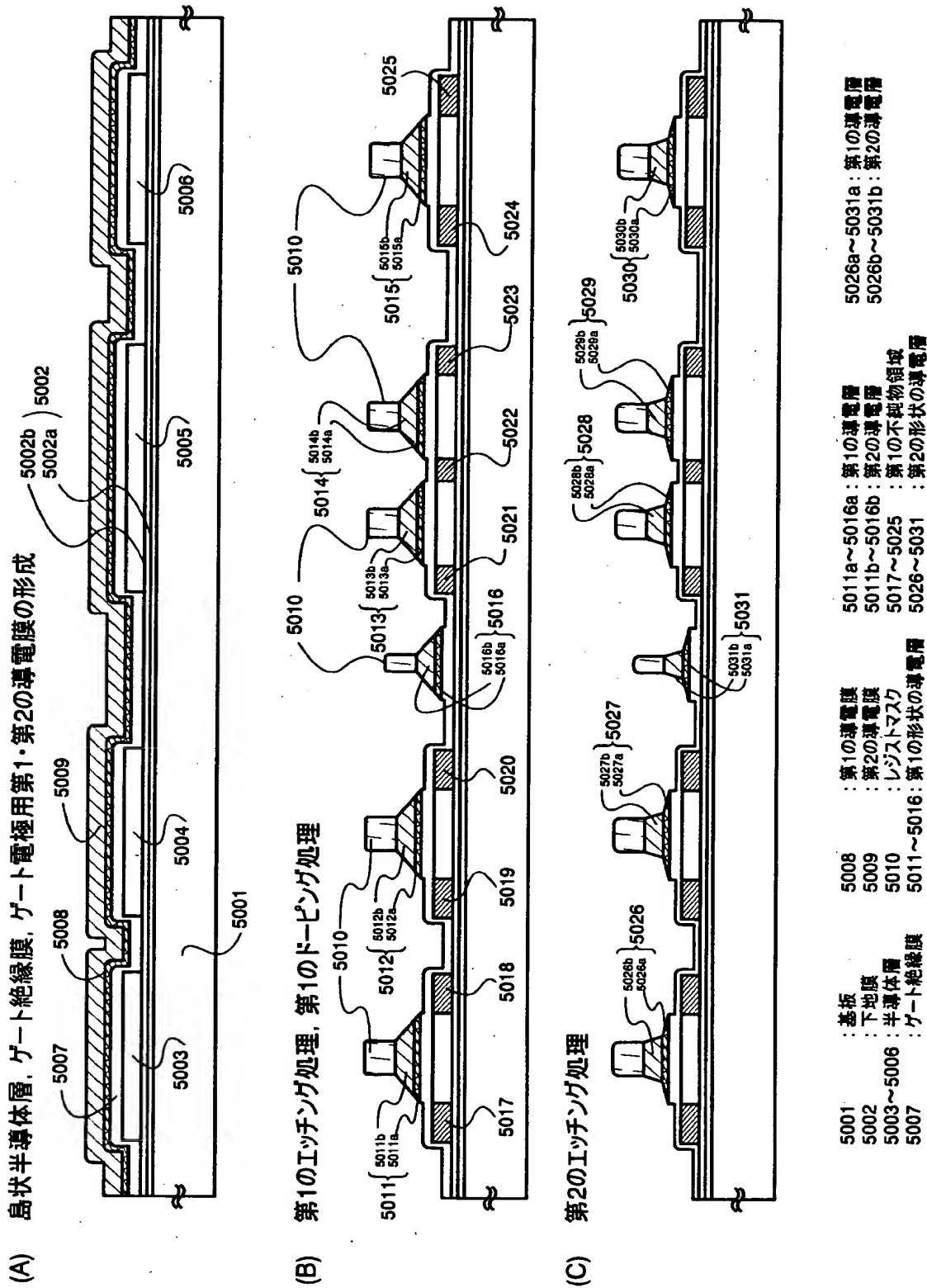
【図 8】



【図 9】

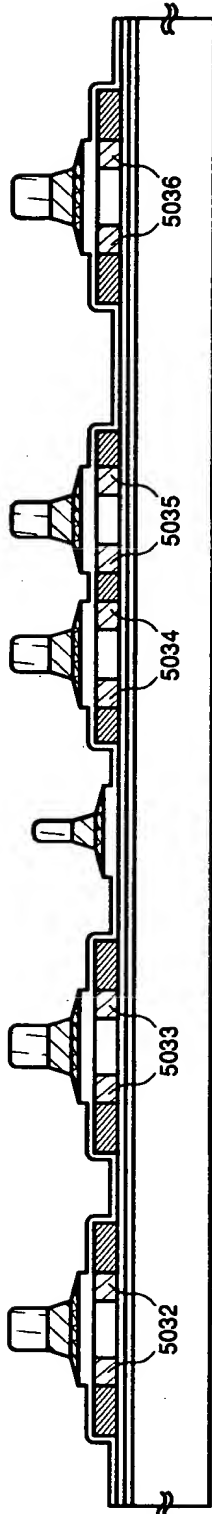


【図10】

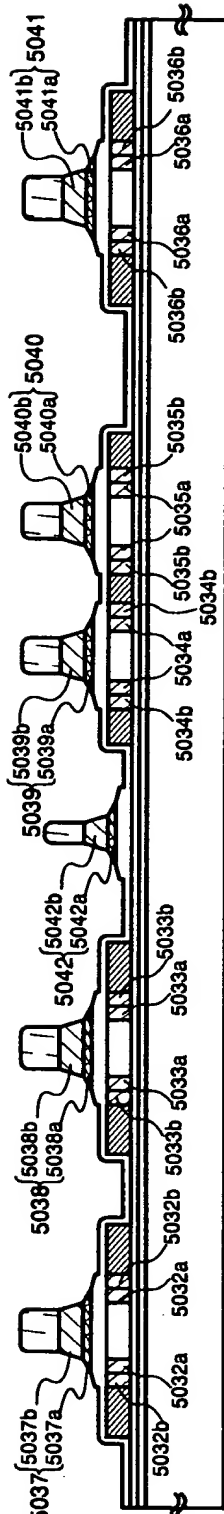


【図 1 1】

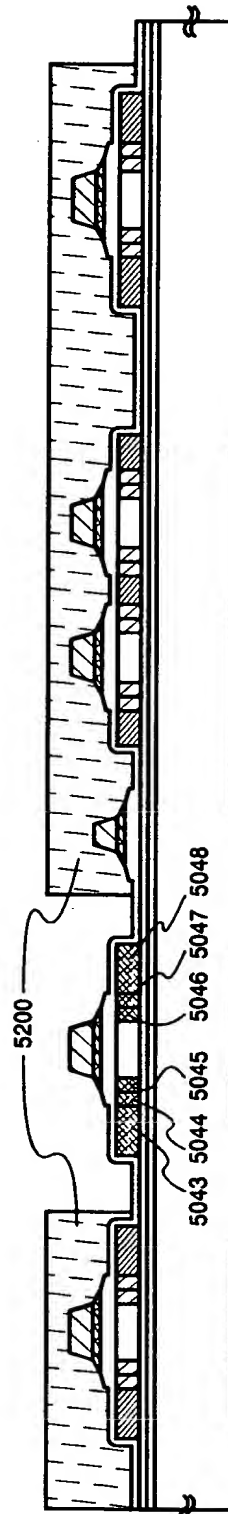
(A) 第2のドーピング処理



(B) 第3のETCHING処理



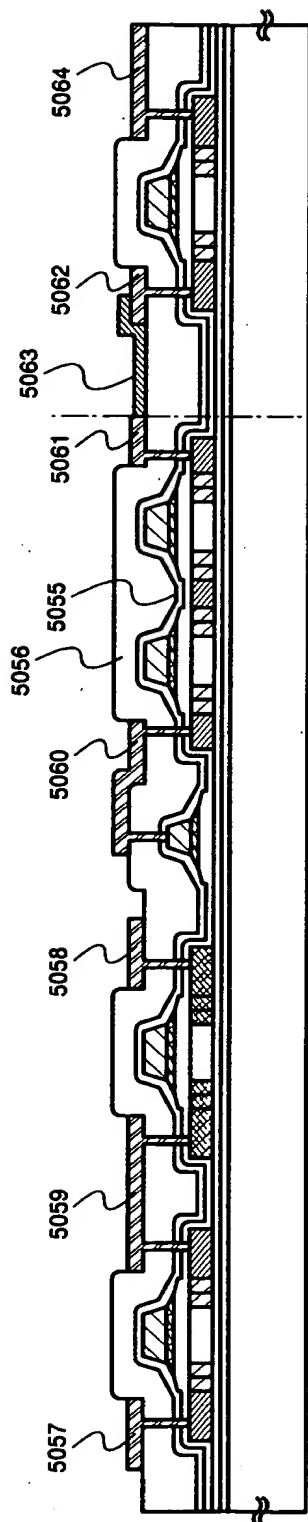
(C) 第3のドーピング処理



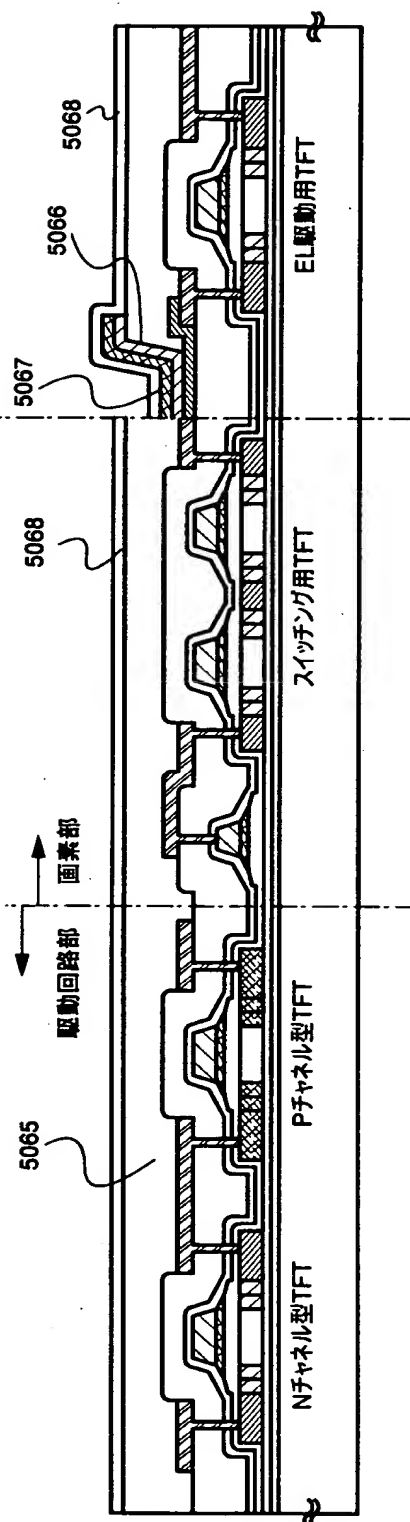
5032~5036 : 第3の不純物領域(ETCHING前)
 5032a~5036a : 第3の不純物領域(ETCHING前)
 5032b~5036b : 第2の不純物領域
 5043~5048 : 第4の不純物領域
 5200 : レジストマスク

【図 12】

(A) 第1, 第2の層間絶縁膜, 配線, 画素電極形成

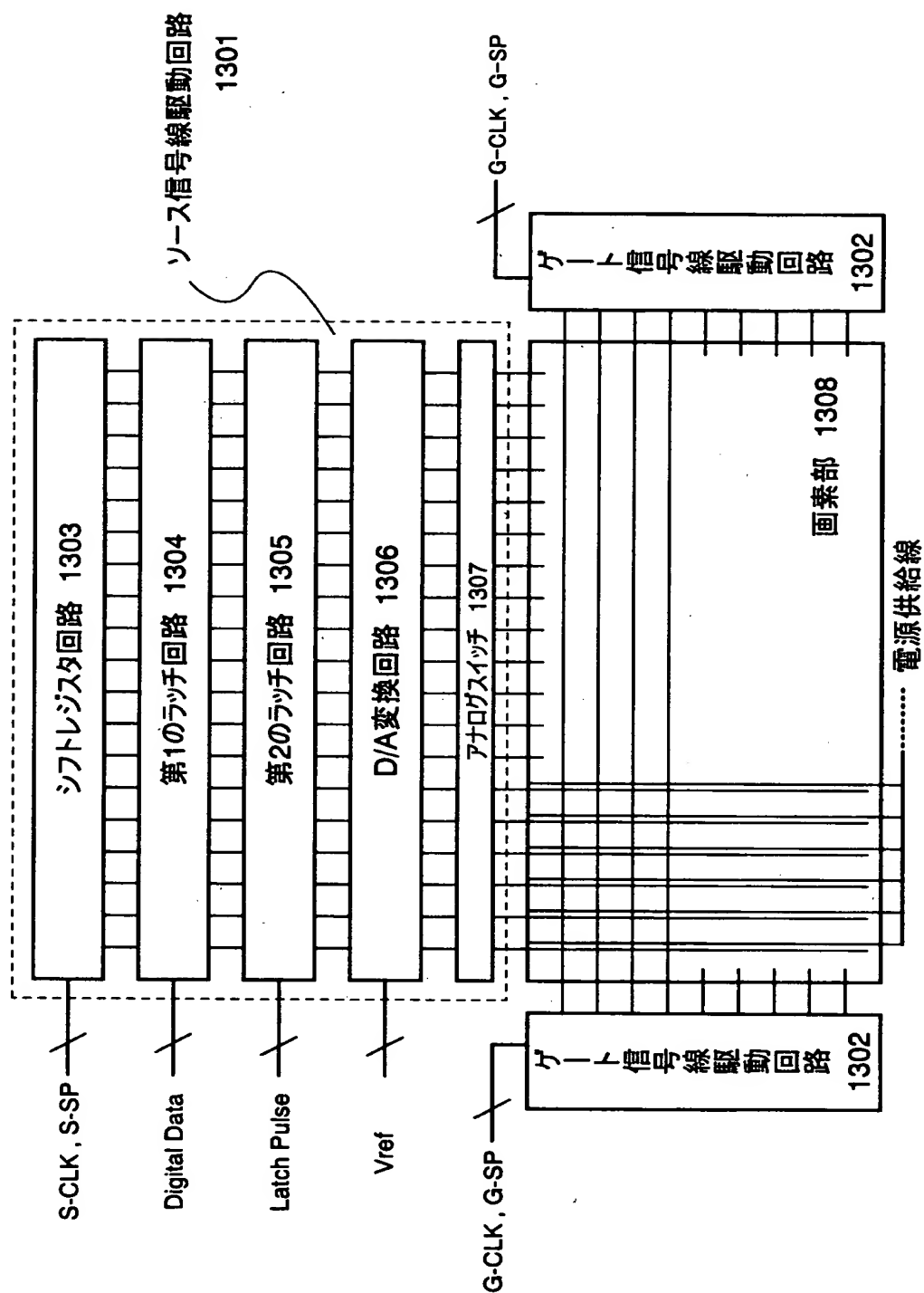


(B) 第3の層間絶縁膜, EL層, 陰極電極, パッシベーション膜形成

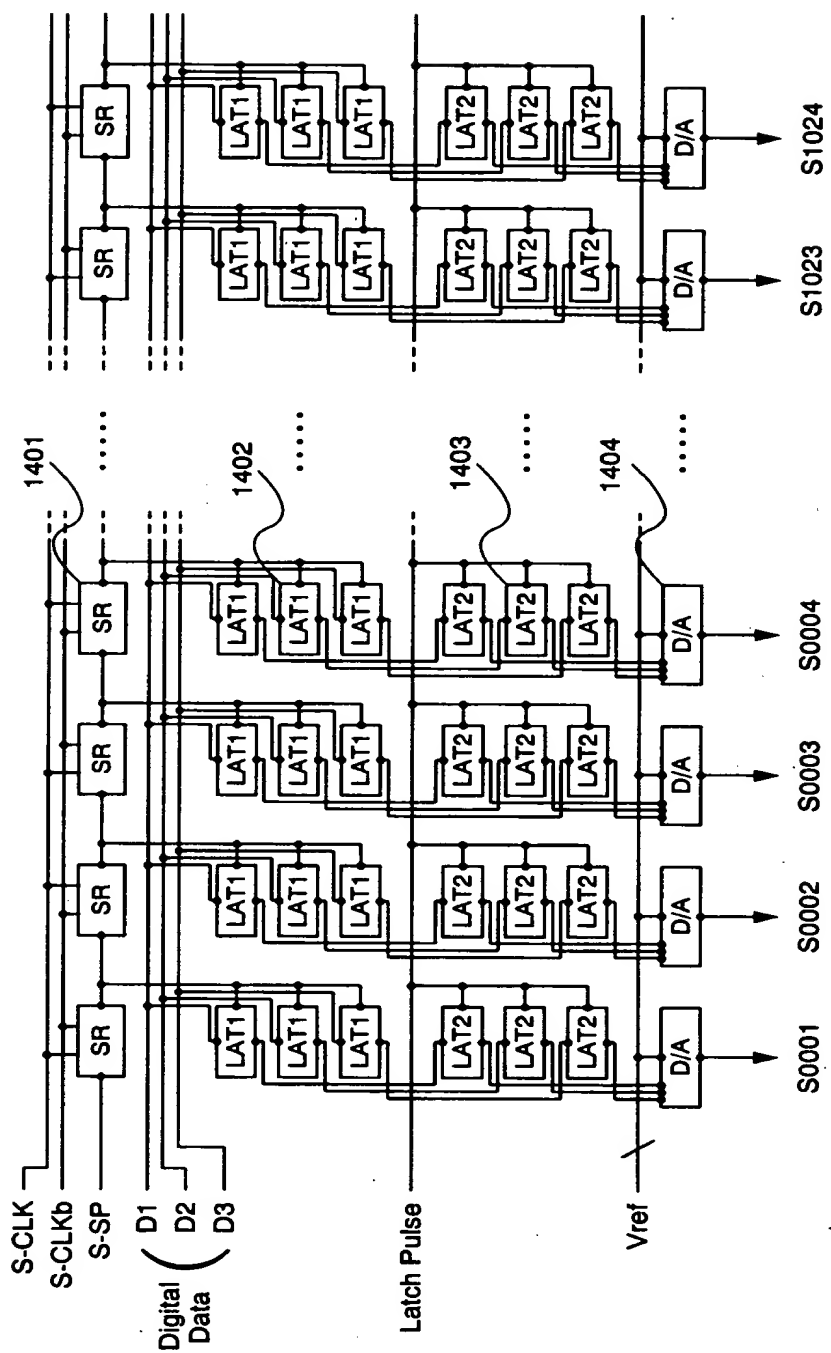


- | | | | | | |
|-----------|------------|-----------|------------|------|-------------|
| 5055 | : 第1の層間絶縁膜 | 5060~5062 | : 接続配線 | 5066 | : EL層 |
| 5056 | : 第2の層間絶縁膜 | 5063 | : 画素電極 | 5067 | : 陰極 |
| 5057~5058 | : ソース配線 | 5064 | : 電流供給線 | 5068 | : パッシベーション膜 |
| 5059 | : ドレイン配線 | 5065 | : 第3の層間絶縁膜 | | |

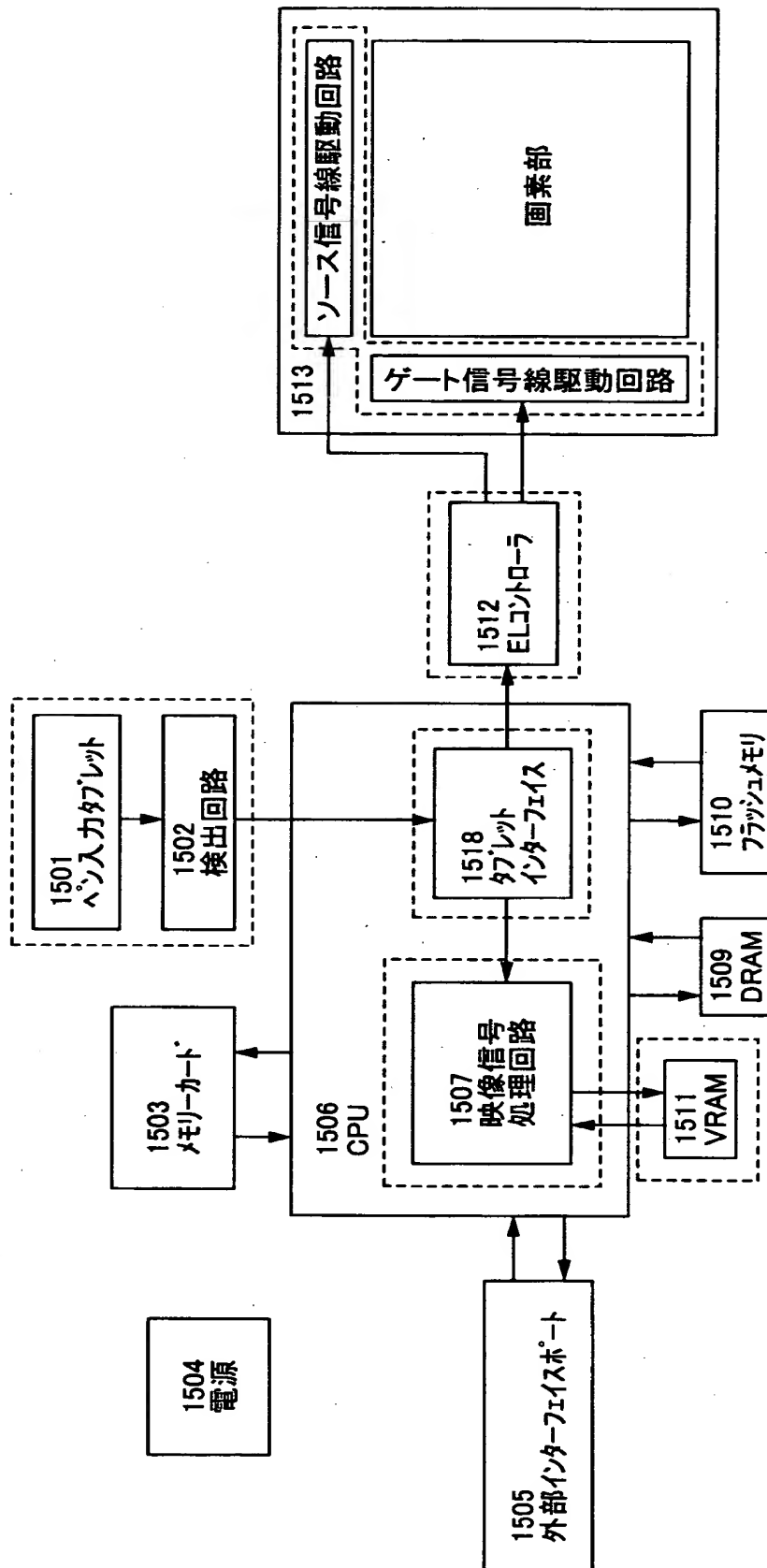
【図13】



【図 14】

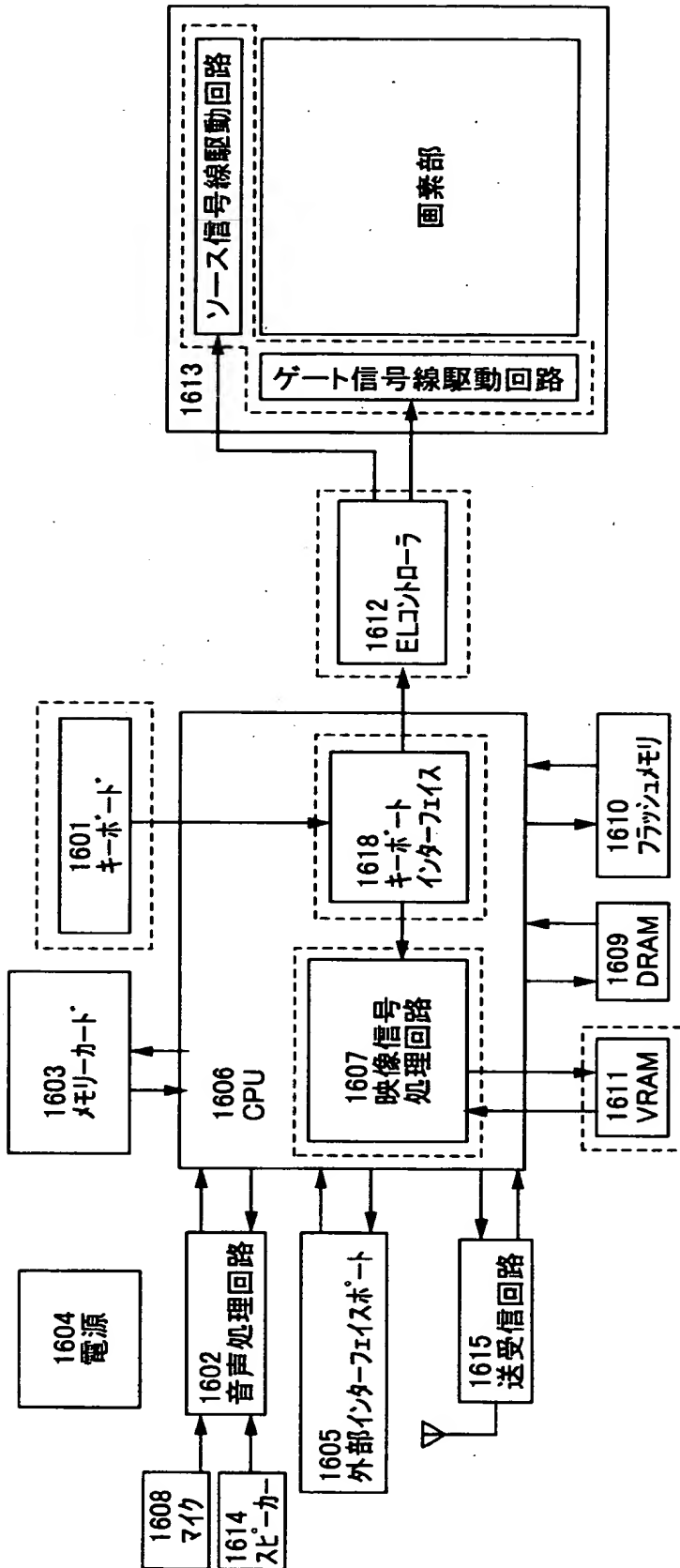


【図 15】



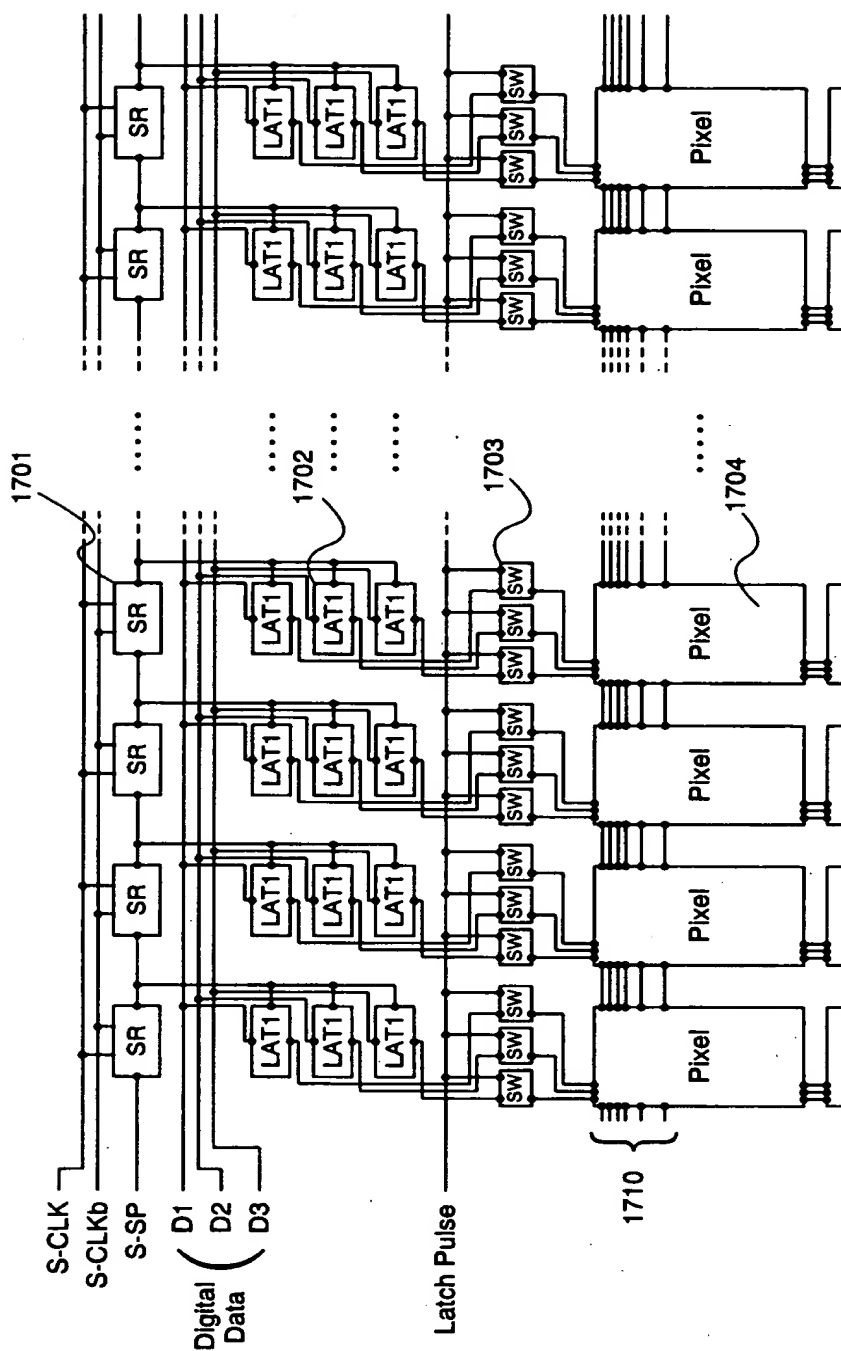
携帯情報端末のブロック図

【図16】



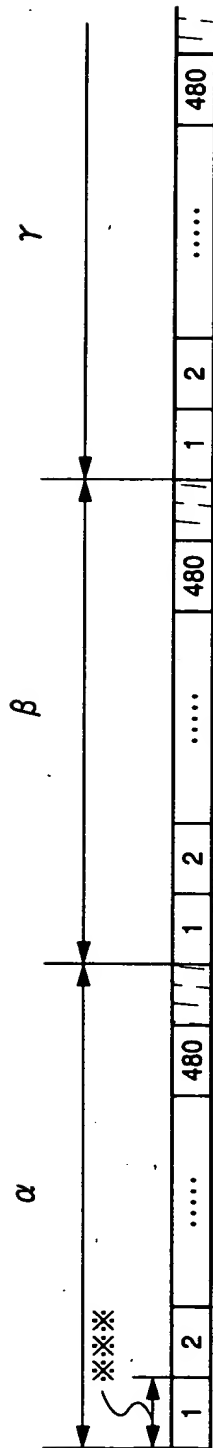
携帯電話ブロック図

【図 17】

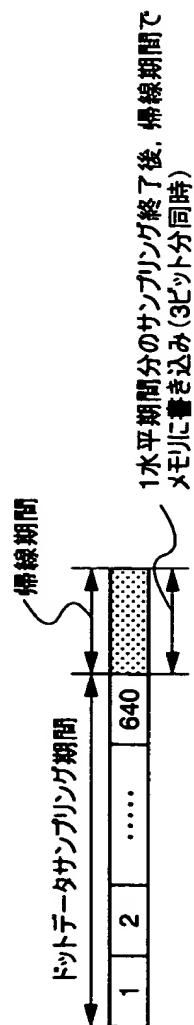


【図18】

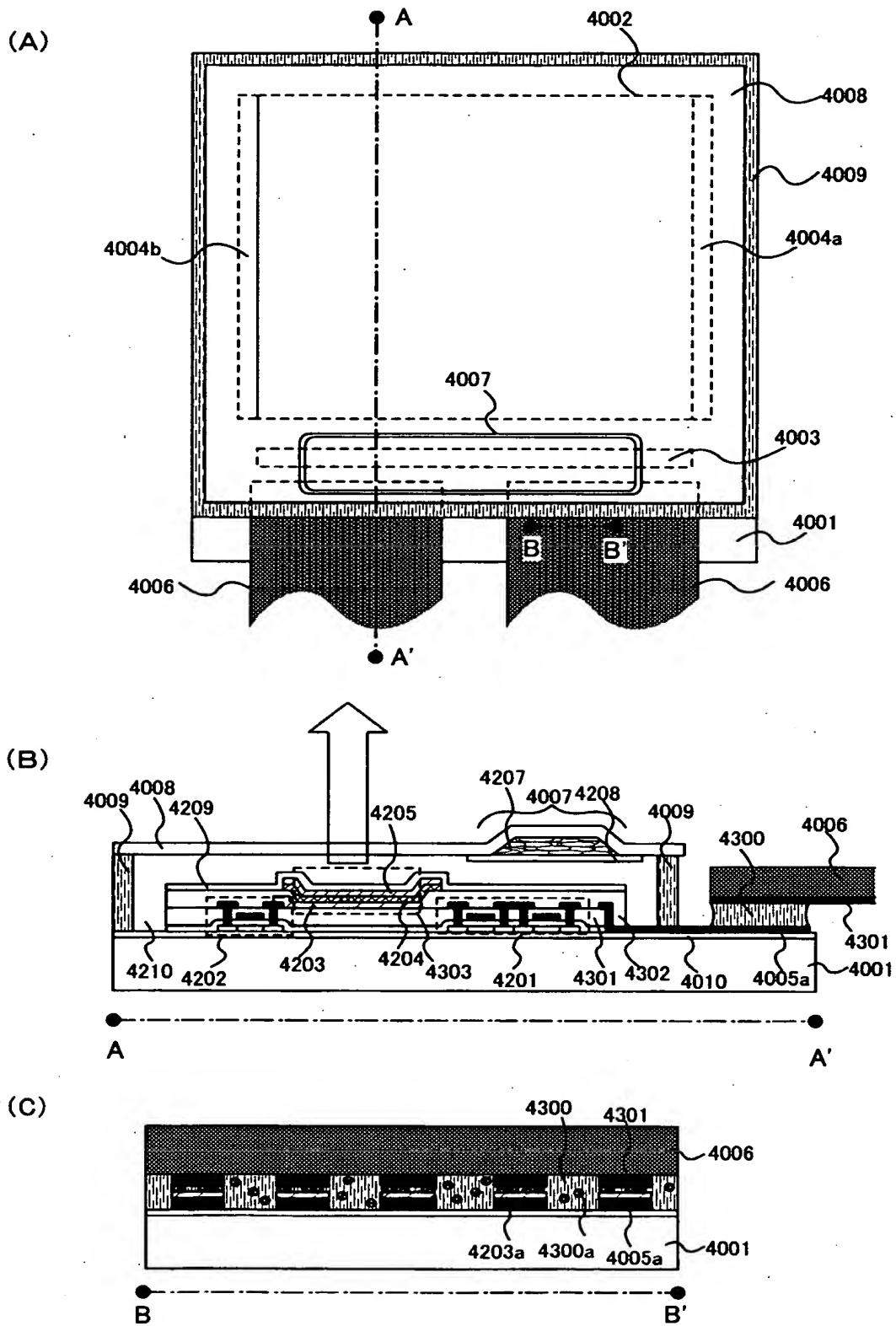
(A)



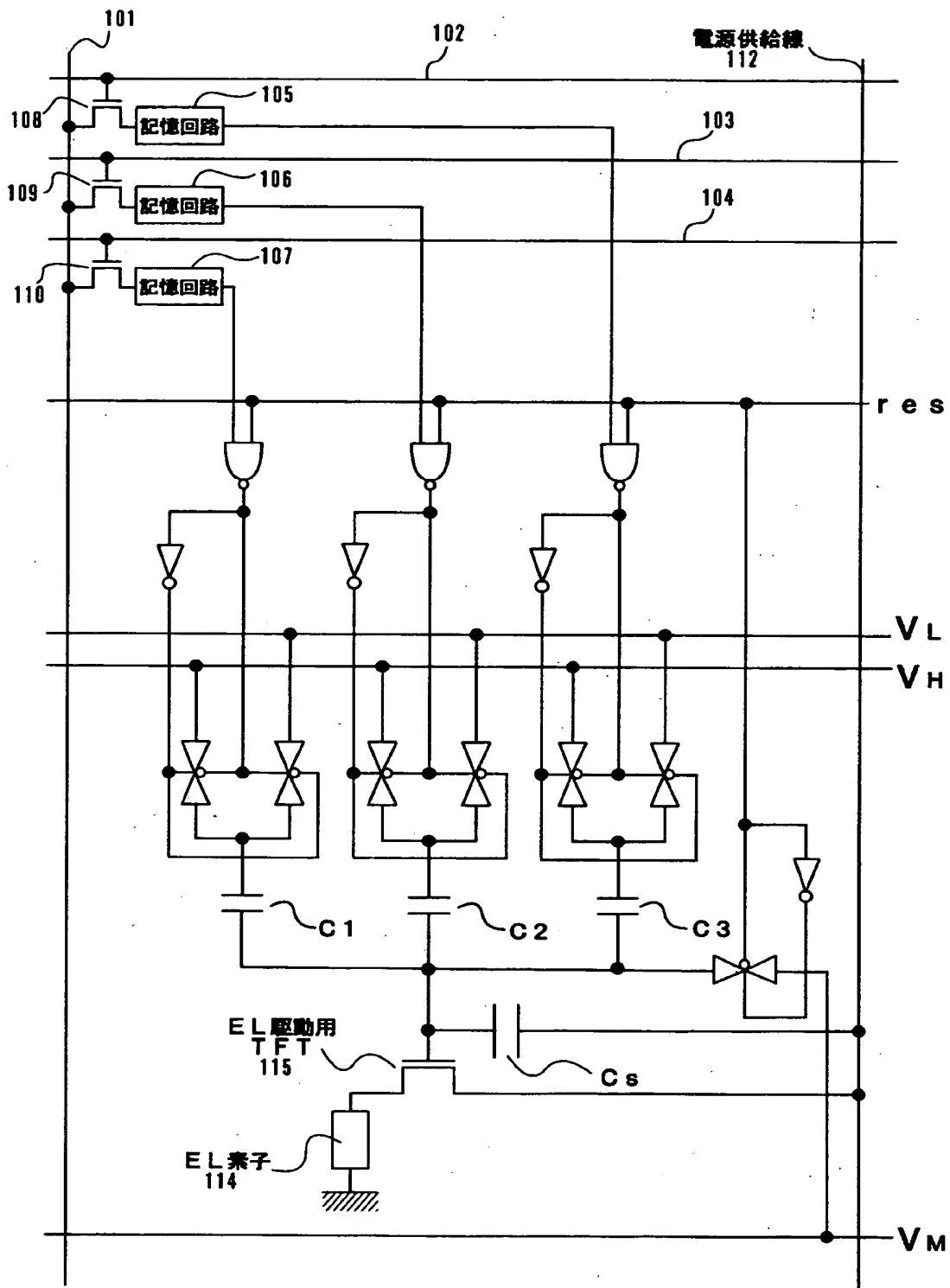
(B)



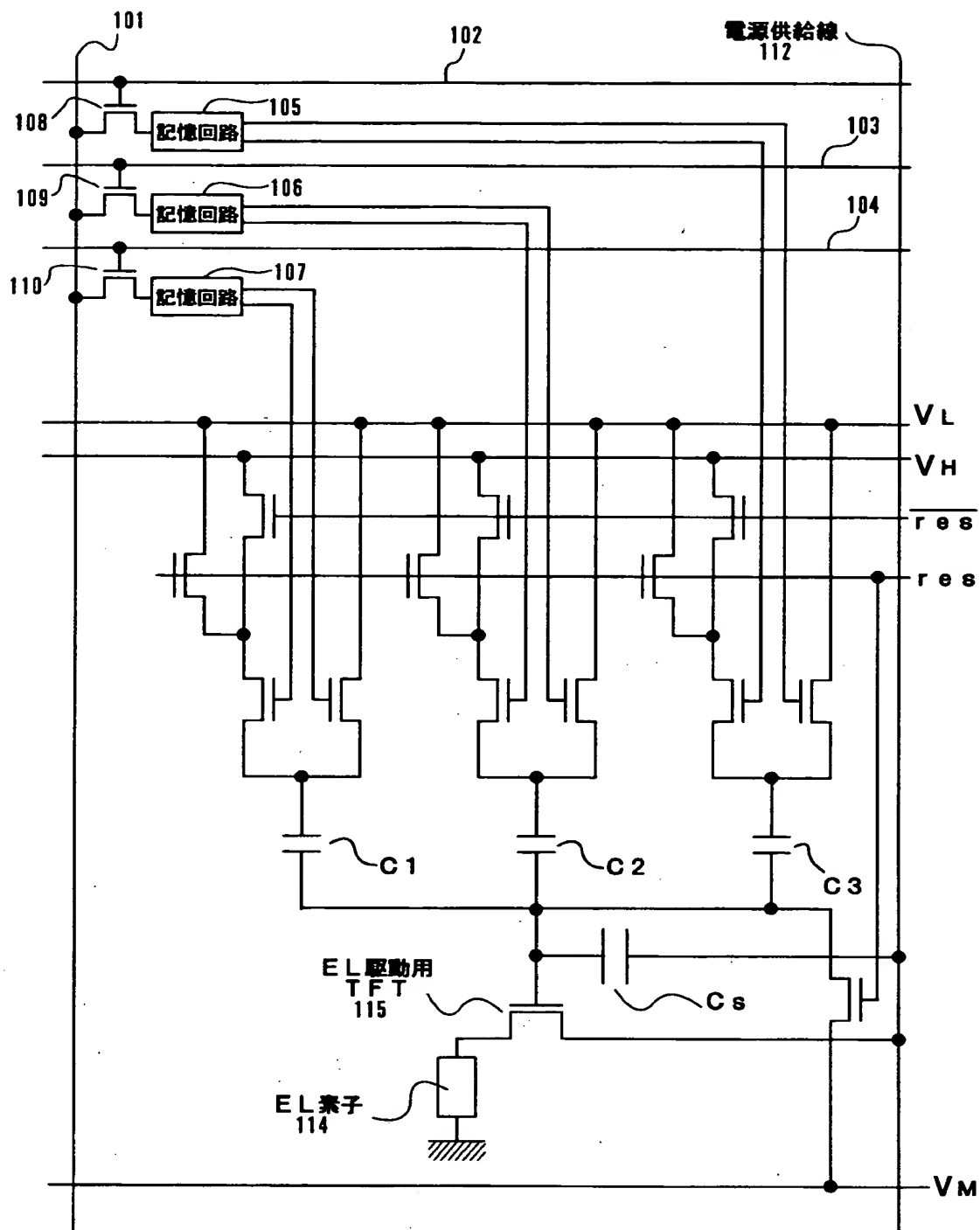
【図 1 9】



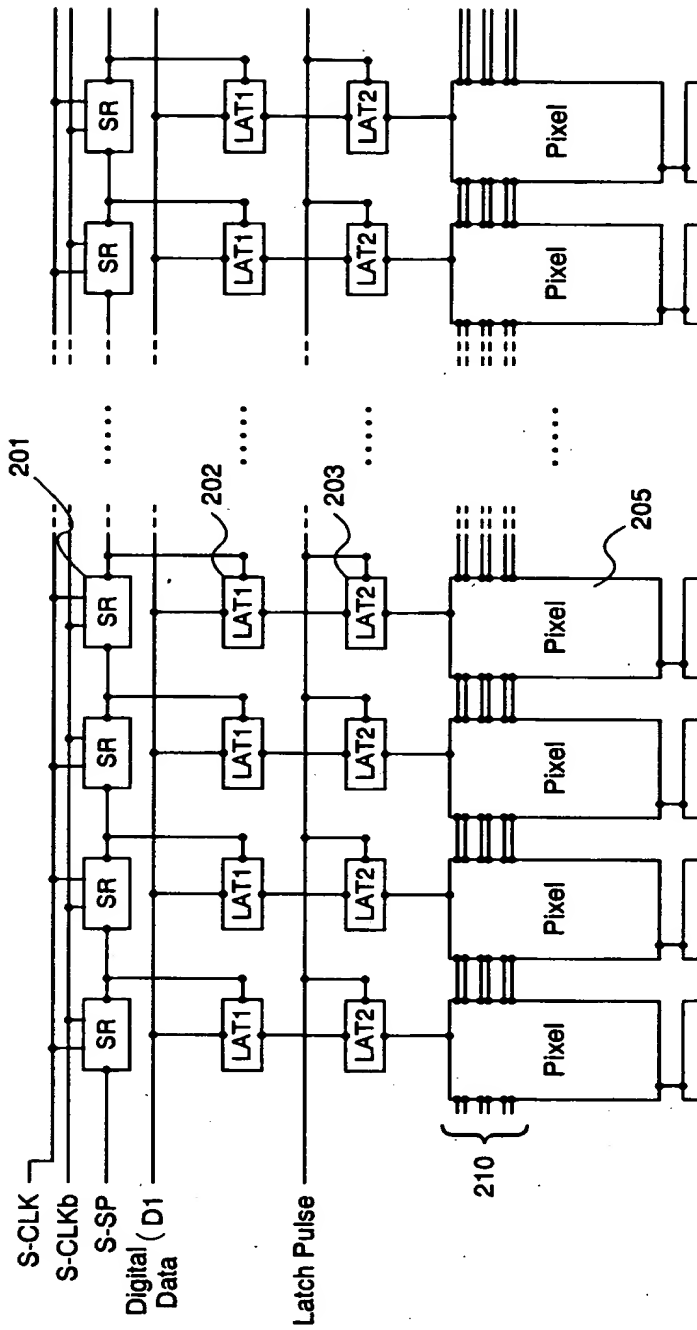
【図 2 0】



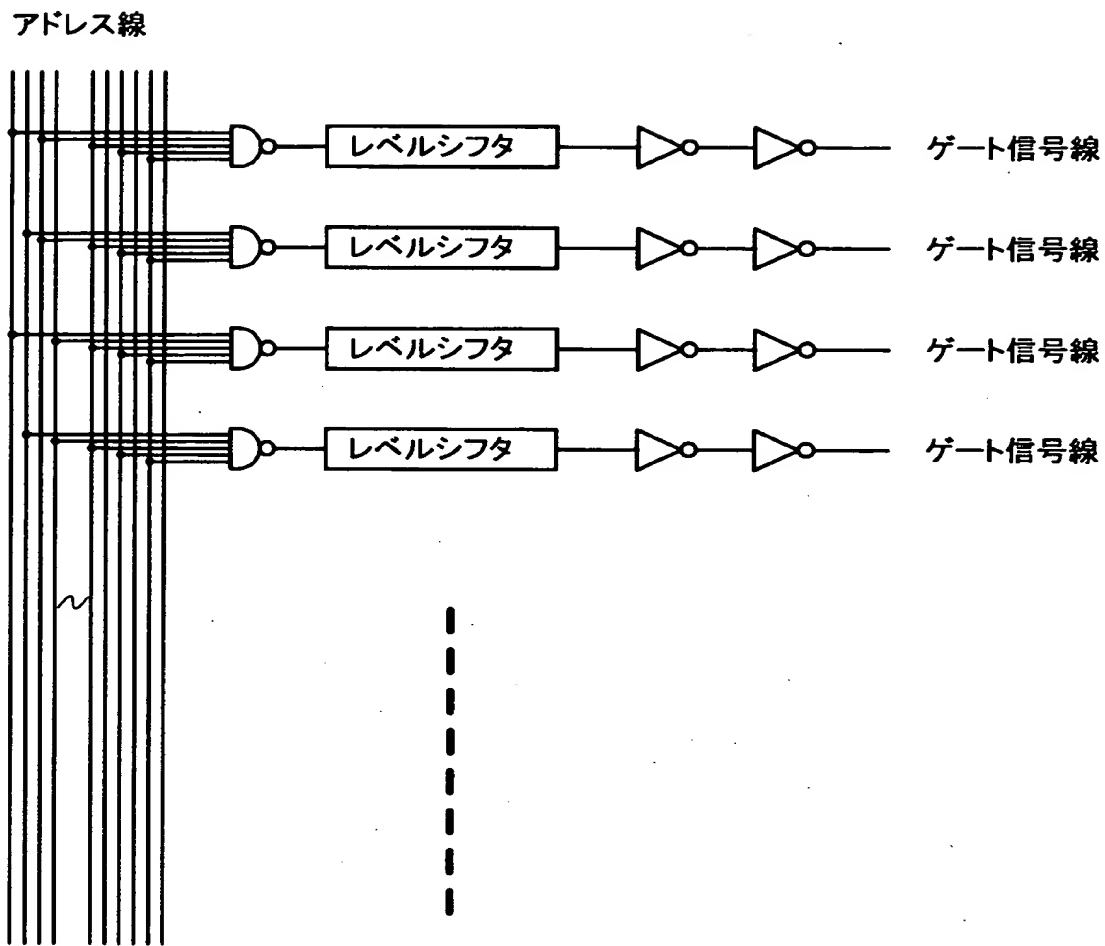
【図 2 1】



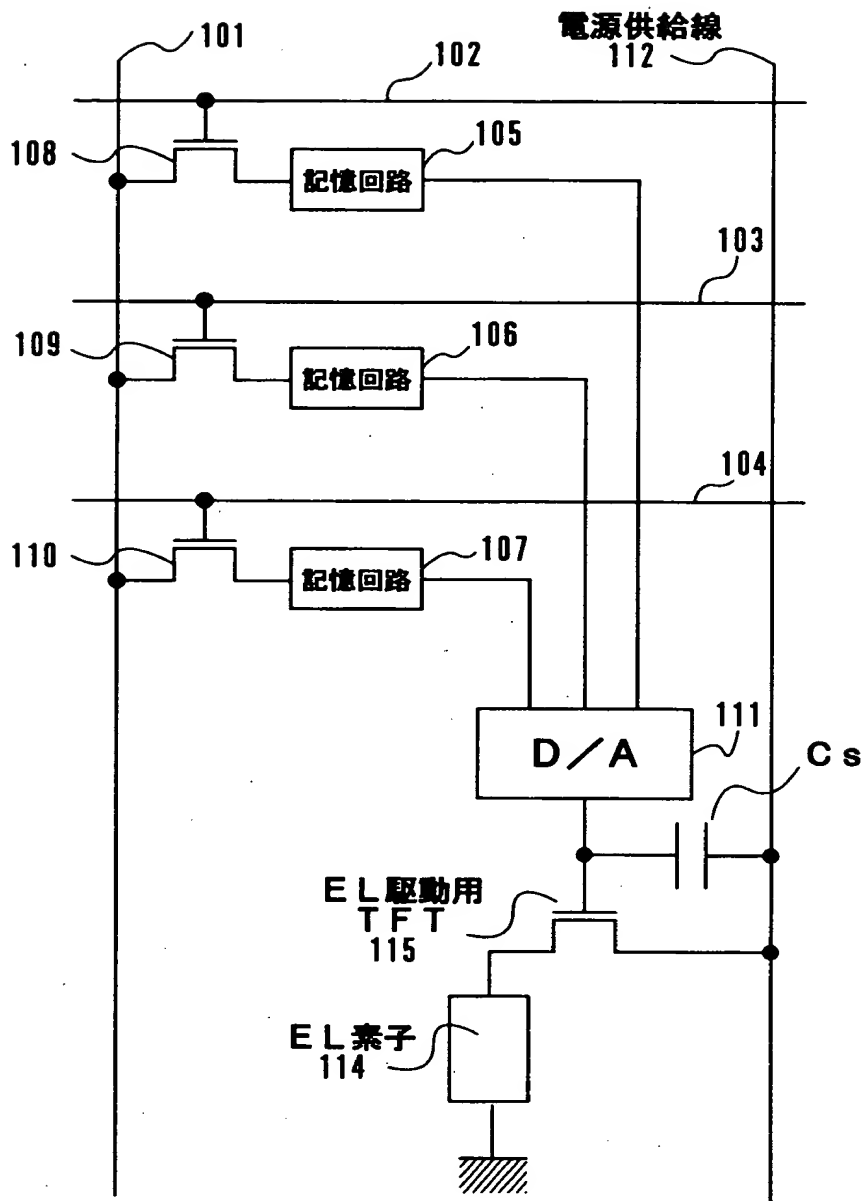
【図 2 2】



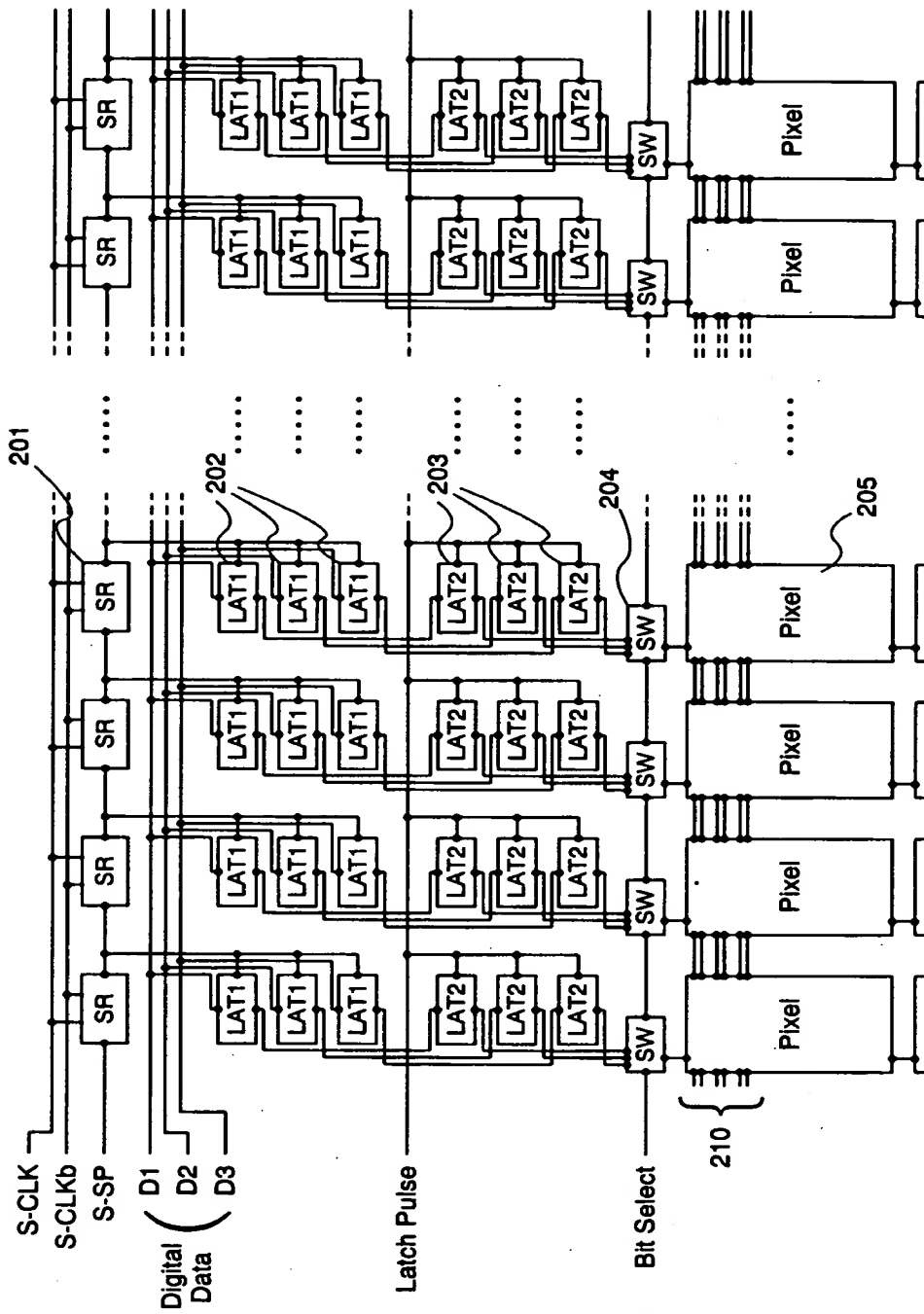
【図 2 3】



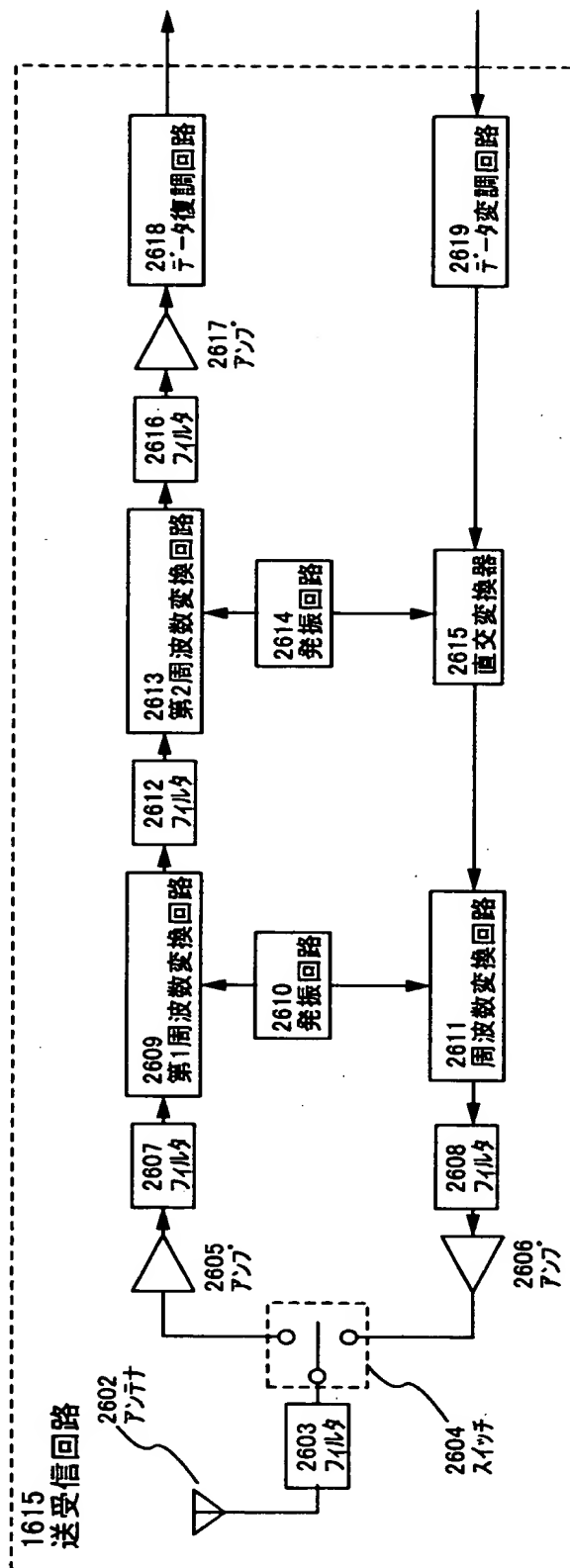
【図 24】



【图 25】

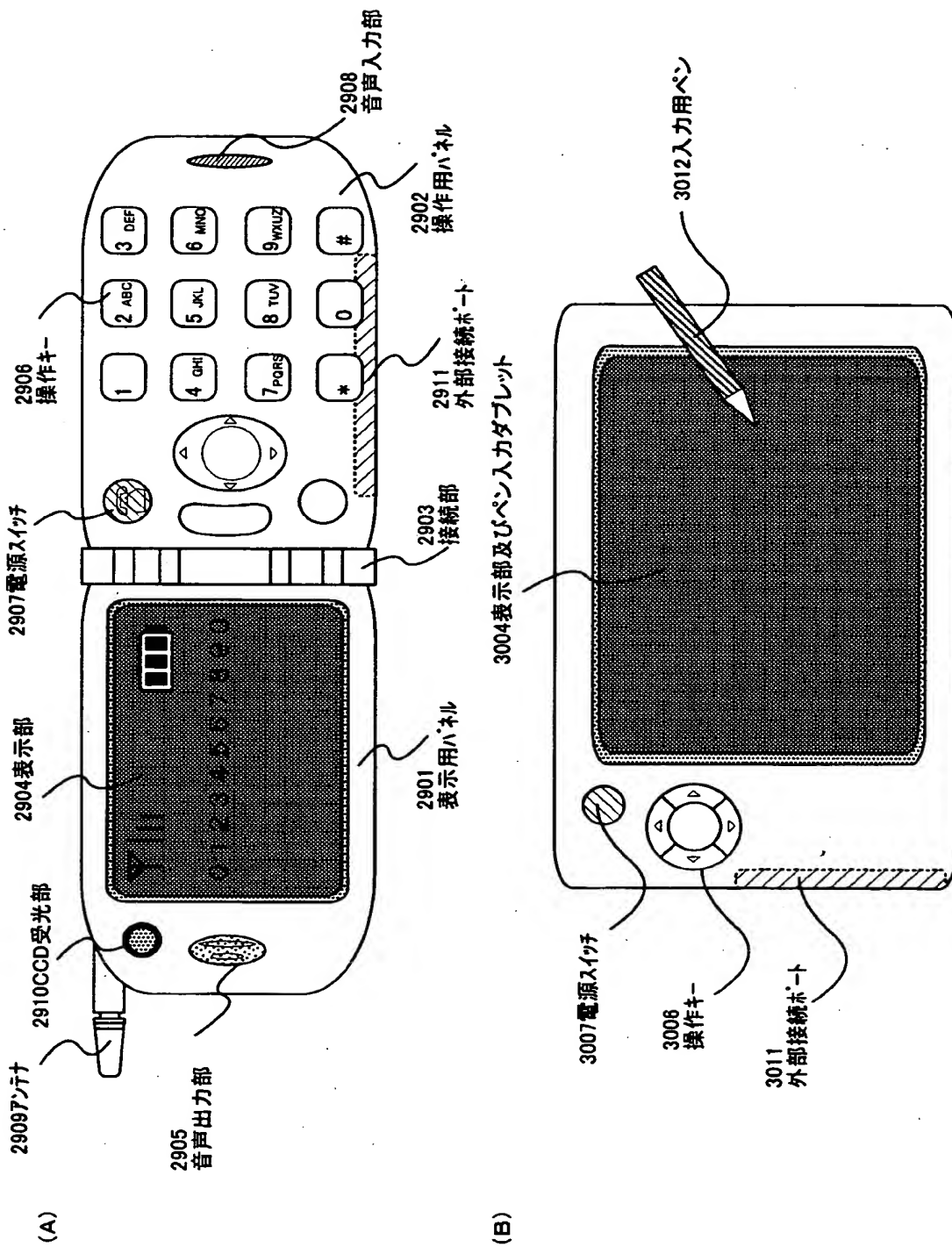


【図 2 6】

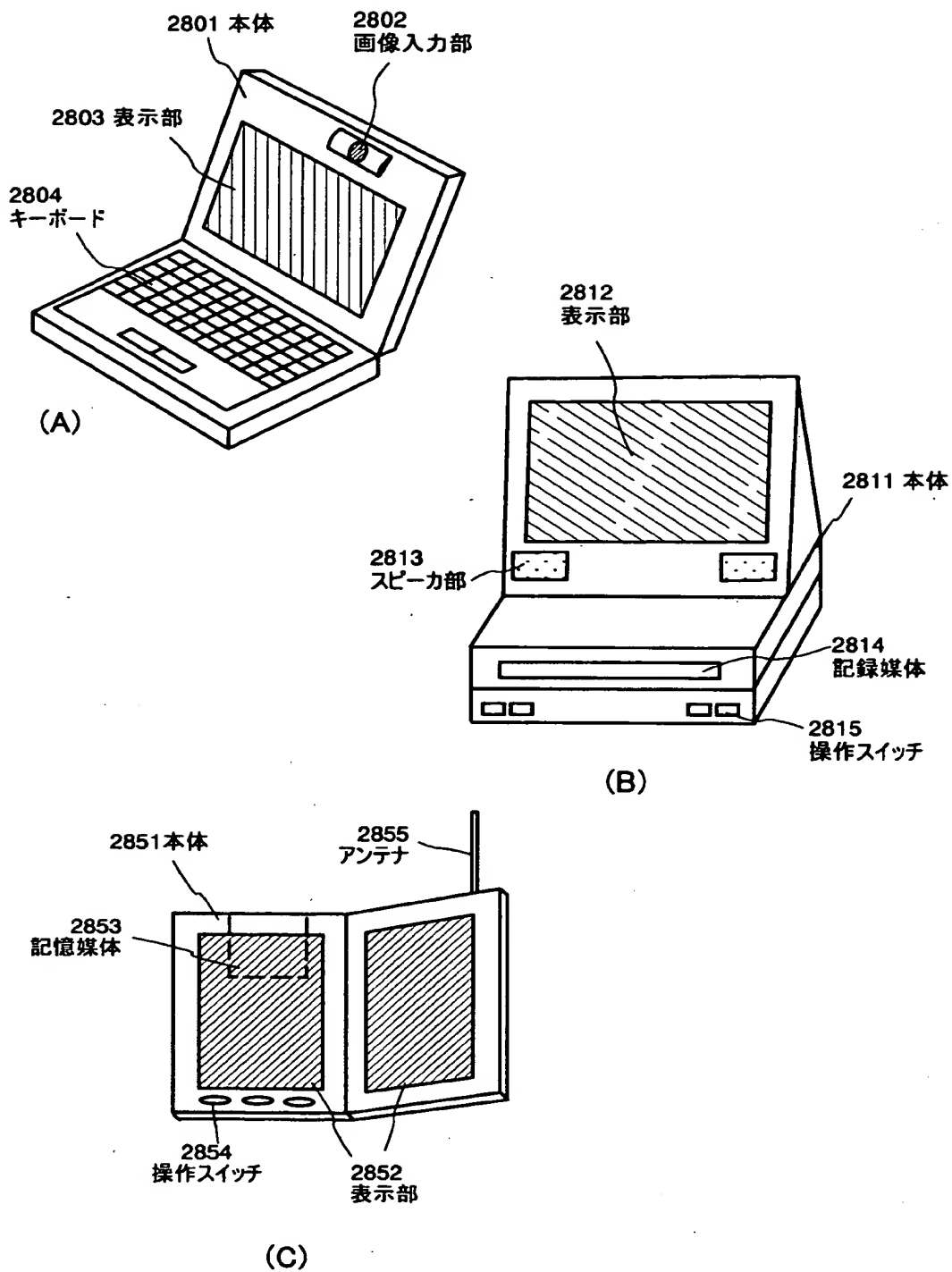


送受信回路ブロック図

【図 27】

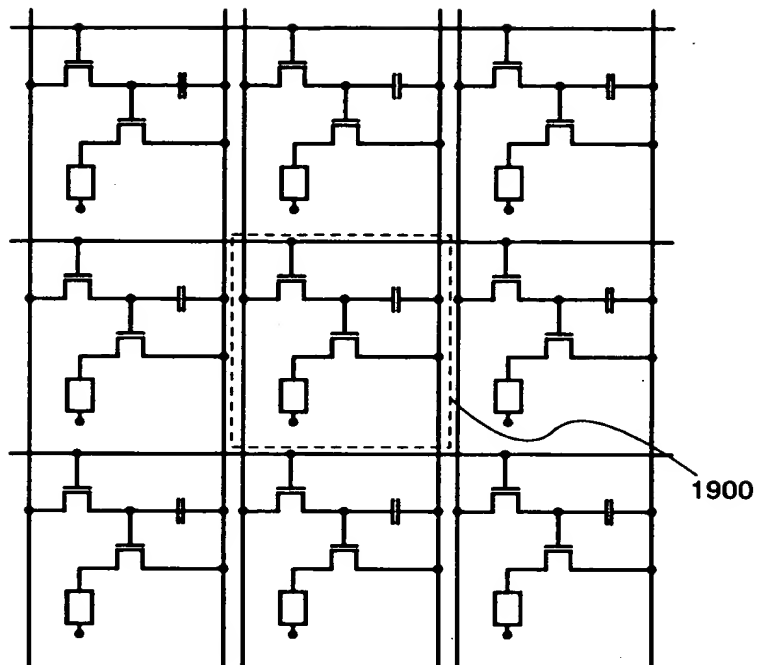


【図 28】

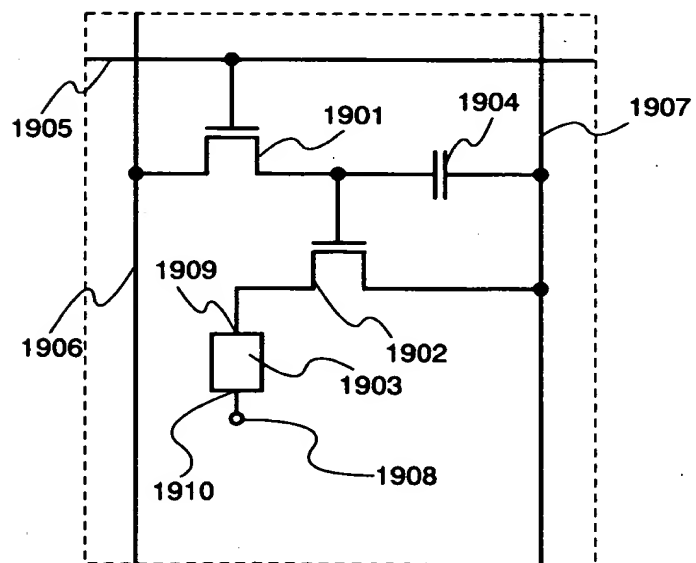


【図 2 9】

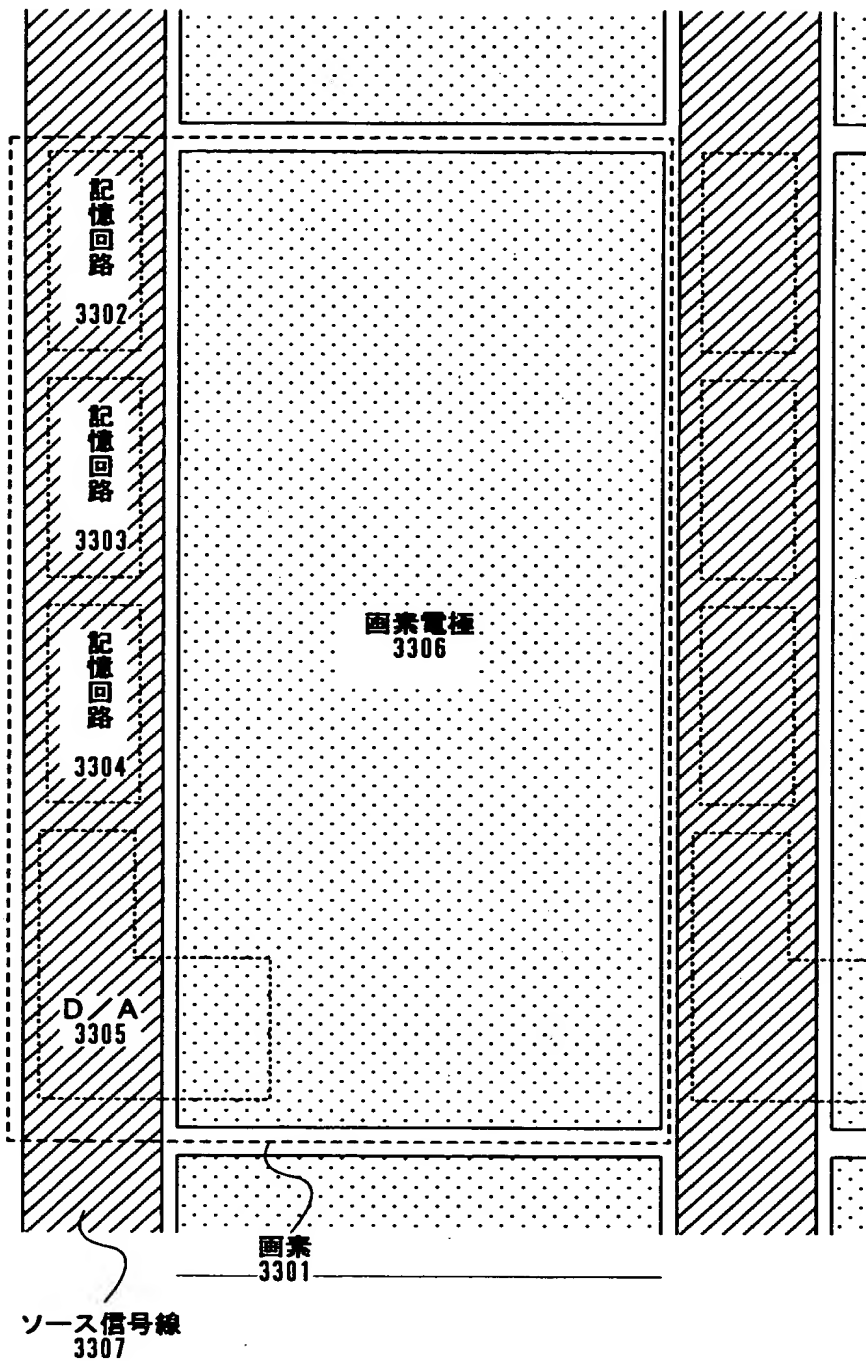
(A)



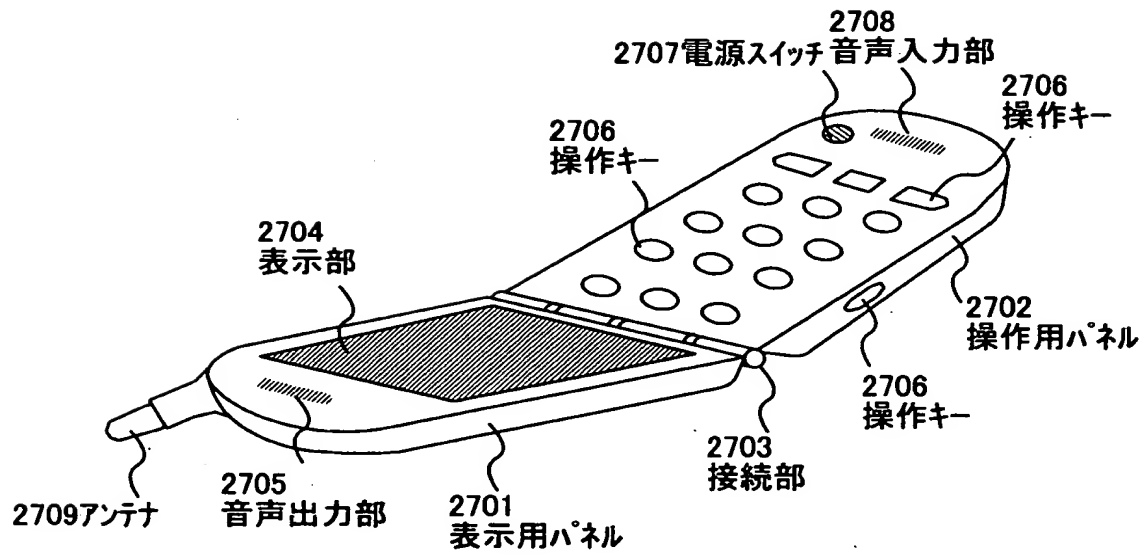
(B)



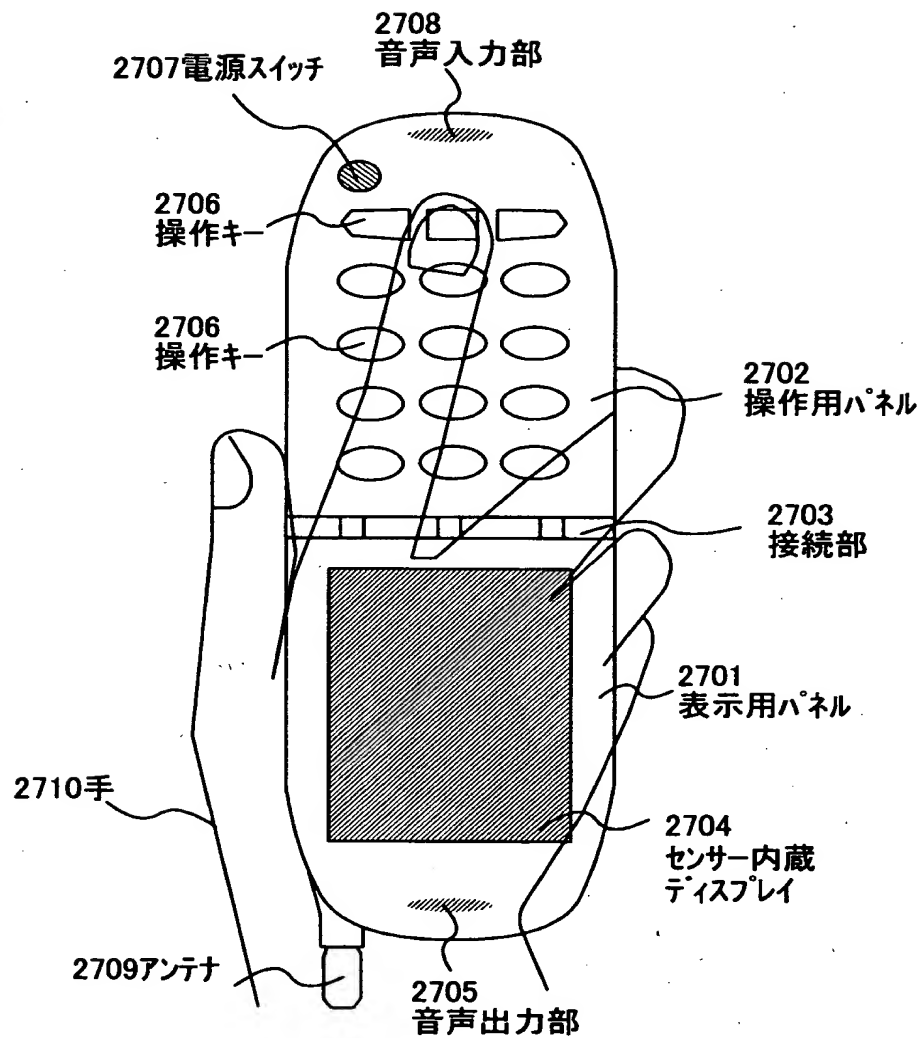
【図 3 0】



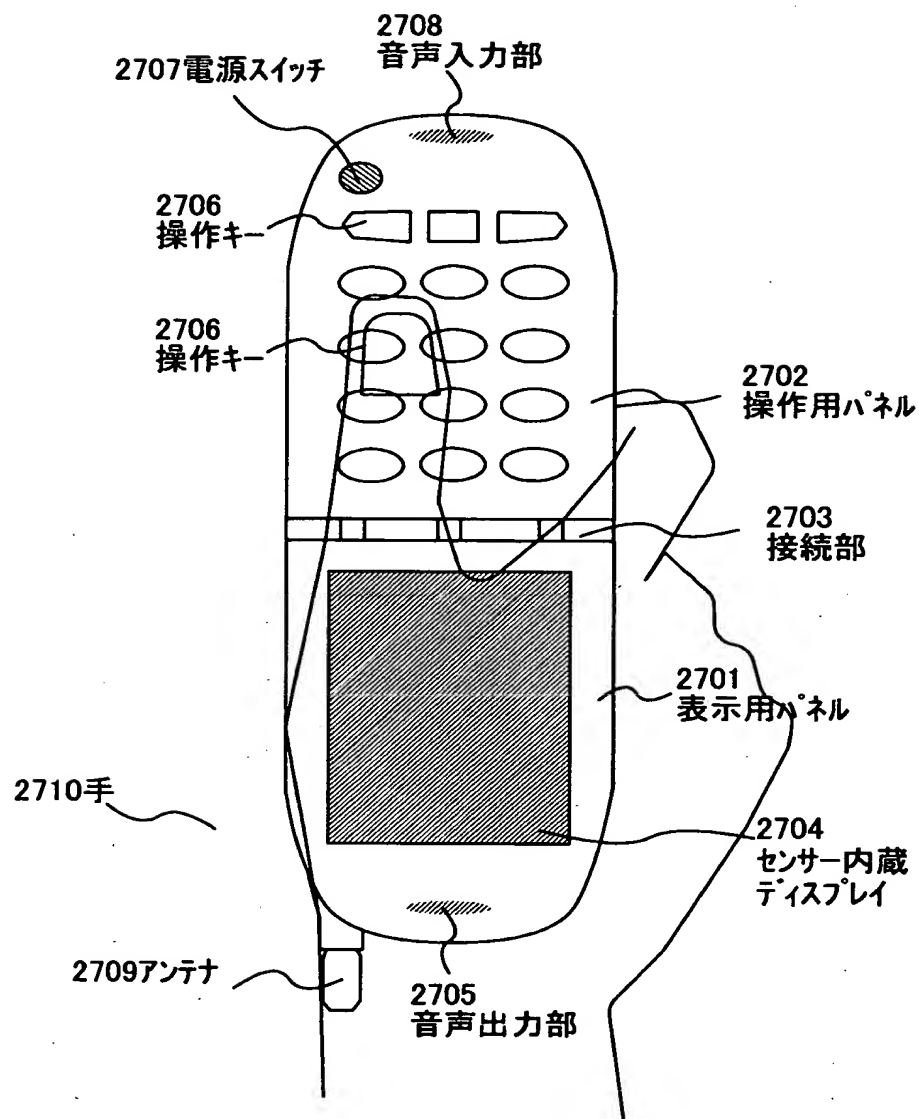
【図 3 1】



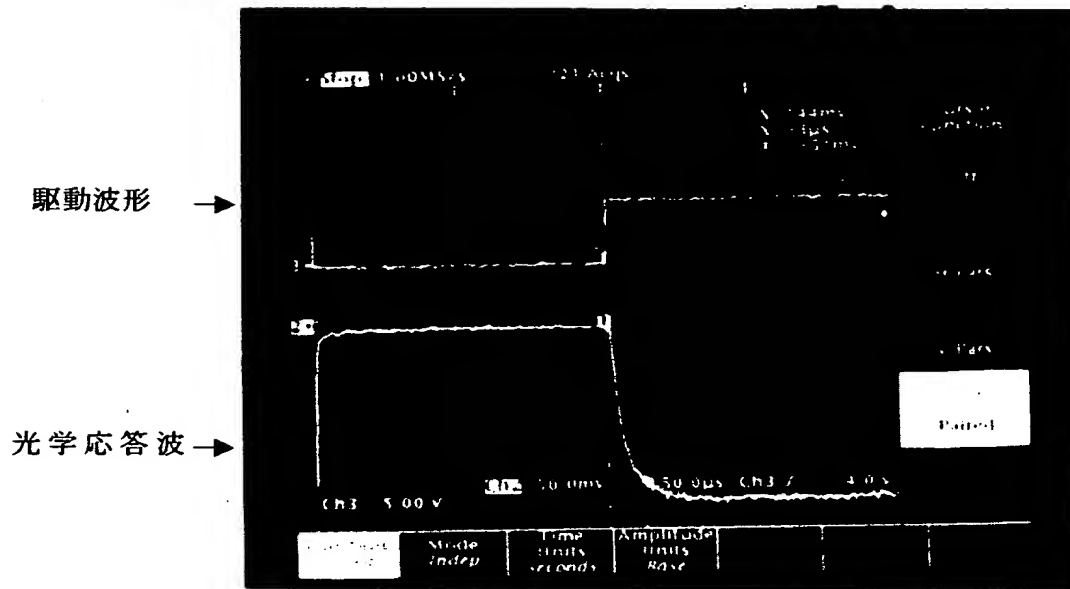
【図 3 2】



【図 33】



【図34】



【書類名】 要約書

【要約】

【課題】 静止画表示時の低消費電力化が可能な E L 表示装置を有する携帯情報装置の提供を課題とする。

【解決手段】 携帯情報装置が有する E L 表示装置において、画素中に記憶回路と D / A コンバータとを配置し、 E L 表示装置が静止画を表示するとき、 E L 表示装置と E L 表示装置をコントロールするコントロール回路以外の映像表示機能を停止することにより低消費電力化が可能な携帯情報装置が得られる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所